

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-207442

(43)Date of publication of application : 26.07.2002

(51)Int.Cl.
G09F 9/30
G02F 1/133
G02F 1/1345
G02F 1/1368
H01L 29/786

(21)Application number : 2001-310626

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 05.10.2001

(72)Inventor : MIYAJIMA KOJI

(30)Priority

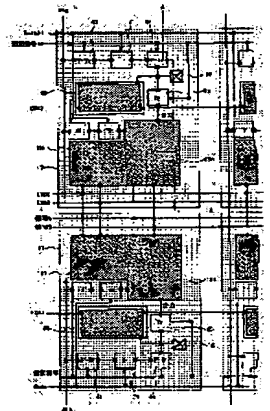
Priority number : 2000337078 Priority date : 06.11.2000 Priority country : JP

(54) ACTIVE MATRIX TYPE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the power consumption and to increase the preciseness of the circuits of an active matrix type display device.

SOLUTION: A holding circuit 110 which holds video signals is arranged for every pixel of the device and displaying is conducted by switching a normal operation mode and a memory operation mode. The number of the power supply wires is reduced to half the number compared with the case, in which power supply wires arranged for every row, by commonly using the power supply wires, which are located adjacent to each other and supply a driving voltage and a reference voltage to the circuit 110, with two rows. Thus, the space utilization efficiency of the circuit arrangement is improved and the circuit area of the circuit 110 is reduced. By reducing the circuit 110, the pixel size is reduced and at the same time, the preciseness of the pixel is made finer.



LEGAL STATUS

[Date of request for examination] 05.10.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more pixel electrodes arranged in the shape of a matrix, two or more holding circuits arranged corresponding to said pixel electrode, In the active-matrix mold display which is equipped with the power-source line which supplies a predetermined electrical potential difference to said holding circuit, and displays by supplying the electrical potential difference according to the data which said holding circuit holds to said pixel electrode Said power-source line is a active-matrix mold display characterized by being used in common in the holding circuit corresponding to the pixel electrode which adjoins in the other directions of one of matrices while being used in common in the holding circuit corresponding to the pixel electrode which extends in the matrix any 1 direction, and is located in a line with said one direction.

[Claim 2] It has the pixel electrode arranged in the shape of a matrix, two or more gate signal lines arranged at the line writing direction, and two or more drain signal lines arranged in the direction of a train. Said pixel electrode In the active-matrix mold display with which a video signal is supplied from said drain signal line while being chosen by the scan signal from said gate signal line the scan signal inputted from said gate signal line -- with the 1st display circuit which supplies the signal according to the video signal from said drain signal line to the selected pixel electrode The 2nd display circuit which a predetermined electrical potential difference is supplied, and is equipped with the holding circuit which holds the video signal from said drain signal line according to the scan signal inputted from said gate signal line, and supplies the signal according to the signal from this holding circuit to said display electrode, The power-source line which is equipped with the circuit selection circuitry for connecting alternatively said 1st and 2nd display circuits to said drain signal line according to a circuit selection signal, and supplies a predetermined electrical potential difference to said holding circuit The active-matrix mold display characterized by being shared between two or more pixels which adjoin in the other directions of one of matrices while being used in common in the holding circuit corresponding to the pixel electrode which extends in the one direction of one of matrices, and is located in a line with this one direction.

[Claim 3] It is the active-matrix mold display according to claim 1 or 2 which at least two drive power-source lines which extend in the one direction of one of matrices, and supply different driver voltage to said each of holding circuit are connected, and is characterized by sharing at least one of said drive power-source lines between two or more pixels which adjoin in the direction besides a matrix.

[Claim 4] The active-matrix display according to claim 3 characterized by preparing the field extended so that capacity coupling of it might be carried out to the pixel electrode said whose drive power-source line is the pixel of another side, while carrying out capacity coupling of said drive power-source line shared between the pixel which adjoins mutually to the pixel electrode of one pixel.

[Claim 5] The active-matrix display according to claim 3 characterized by preparing the superposition field which extends said drive power-source line on the pixel electrode of the pixel of another side, and changes while making said drive power-source line shared between the pixel which adjoins mutually superimpose on the pixel electrode of one pixel.

[Claim 6] At least two reference power-source lines which extend in the one direction of one of

matrices, and supply different reference voltage to said each of holding circuit are connected. Said holding circuit One that said reference voltage is chosen according to the held data, said pixel electrode is supplied and there are few said reference power-source lines is the active-matrix mold display according to claim 1 or 2 characterized by being shared between two or more pixels which adjoin in the other directions of one of matrices.

[Claim 7] The active-matrix display according to claim 6 characterized by preparing the field extended so that capacity coupling of it might be carried out to the pixel electrode said whose reference power-source line is the pixel of another side, while carrying out capacity coupling of said reference power-source line shared between the pixel which adjoins mutually to the pixel electrode of one pixel.

[Claim 8] The active-matrix display according to claim 6 characterized by preparing the superposition field which extends said reference power-source line on the pixel electrode of the pixel of another side, and changes while making said reference power-source line shared between the pixel which adjoins mutually superimpose on the pixel electrode of one pixel.

[Claim 9] Said power-source line shared is a active-matrix mold display according to claim 1 or 2 characterized by supplying the same electrical potential difference to all holding circuits.

[Claim 10] Arrangement of said holding circuit in the pixel which said power-source line shared is arranged near between the pixels which adjoin in the other directions of one of said matrices, and adjoins in the other directions of one of said matrices The active-matrix mold display according to claim 1 or 2 characterized by considering as a core centering on between the pixels which adjoin in the other directions of one of said matrices, or being arranged on both sides of said power-source line shared at the symmetry.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the active-matrix mold indicating equipment with which two or more holding circuits were prepared especially corresponding to the pixel about a active-matrix mold indicating equipment.

[0002]

[Description of the Prior Art] In recent years, the indicating equipment which can carry an indicating equipment, for example, pocket television, the cellular phone, etc. are demanded as commercial-scene needs. Researches and developments are done briskly that it should correspond to miniaturization [of a display], lightweight-izing, and electrical-power-consumption-saving-ization according to this demand.

[0003] The circuitry Fig. of the 1-pixel electrode of the liquid crystal display (Liquid Crystal Display;LCD) applied to the conventional example at drawing 6 is shown. On the insulating substrate (un-illustrating), the gate signal line 51 and the drain signal line 61 cross, and are formed, and the selection pixel

selection TFT70 connected to both the signal lines 51 and 61 near [the] the intersection is formed. It connects with the pixel electrode 17 of liquid crystal 21 source 70s of the selection pixel selection TFT70.

[0004] Moreover, the electrical potential difference of the pixel electrode 17 is prepared in 1 field period and the auxiliary capacity 85 for holding, one terminal 86 of this auxiliary capacity 85 is connected at source 70s of the selection pixel selection TFT70, and potential common to each pixel electrode is impressed to the electrode 87 of another side.

[0005] Here, if a gate signal is impressed to the gate signal line 51, while the selection pixel selection TFT70 will be in an ON state and an analog video signal will be transmitted to the pixel electrode 17 from the drain signal line 61, it is held at the auxiliary capacity 85. The video-signal electrical potential difference impressed to the pixel electrode 17 is impressed to liquid crystal 21, and liquid crystal 21 carries out orientation according to the electrical potential difference. LCD can be obtained by arranging such a pixel electrode in the shape of a matrix.

[0006] The conventional LCD can obtain a display regardless of a dynamic image and a static image. When displaying a static image on this LCD, the image of a dry cell will be displayed as a residue display of the dc-battery for driving a cellular phone on a part of liquid crystal display section of a cellular phone.

[0007] However, in the liquid crystal display of a configuration of having mentioned above, even if it was the case where a static image was displayed, like the case where a dynamic image is displayed, selection pixel selection TFT70 needed to be made into the ON state with the gate signal, and the video signal needed to be re-written in each pixel electrode.

[0008] Therefore, the exterior LSI which generates the various signals for controlling the timing of the driver circuit for generating driving signals, such as a gate signal and a video signal, and a driver circuit of operation consumed always big power in order to always operate. For this reason, in a cellular phone equipped only with the limited power source, there was a fault that that available time became short.

[0009] On the other hand, the liquid crystal display which equipped each pixel electrode with static mold memory is indicated by JP,8-194205,A. Some of these official reports are quoted and explained. Drawing 7 is the flat-surface circuitry Fig. of the active-matrix mold display with a holding circuit currently indicated by JP,8-194205,A. The gate signal line 51 and a reference line 52 are carried out at a line writing direction, and two or more arrangement of the drain signal line 61 is carried out in the direction of a train, respectively. And TFT53 is formed between the holding circuit 54 and the pixel electrode 17. By displaying based on the data held in the holding circuit 54, a gate driver 50 and the drain driver 60 are stopped, and power consumption is reduced.

[0010] Drawing 8 is the circuitry Fig. showing 1 pixel of this liquid crystal display. The pixel electrode is arranged in the shape of a matrix on the substrate, between the pixel electrodes 17, the gate signal line 51 is arranged at a space longitudinal direction, and the drain signal line 61 is arranged in the vertical direction. And a reference line 52 is arranged in parallel with the gate signal line 51, a holding circuit 54 is established in the intersection of the gate signal line 51 and the drain signal line 61, and the switching device 53 is formed between the holding circuit 54 and the pixel electrode 17. A holding circuit 54 uses as a holding circuit of a digital video signal, the memory (Static Random Access Memory;SRAM), i.e., the static mold memory, of the form to which positive feedback of the two-step inverters 55 and 56 was carried out. Since SRAM does not need refresh for maintenance of data unlike DRAM, it is especially suitable.

[0011] Here, according to the binary digital signal held at static mold memory, a switching device 53 controls the resistance between a reference line Vref and the pixel electrode 17 according to the output of a holding circuit 54, and is adjusting the bias condition of liquid crystal 21. On the other hand, AC signal Vcom is inputted into a common electrode. If this equipment does not have change in a display image like a static image on an ideal, the refresh to memory is unnecessary.

[0012]

[Problem(s) to be Solved by the Invention] However, when a static RAM is used for a holding circuit 54, there are many transistors which constitute a holding circuit as four or six, and its circuit area is large. if such a static RAM is arranged between the pixel electrodes 17, or the area of the pixel electrode 17 will become small and the numerical aperture of a liquid crystal display will fall -- one pixel size -- large -- not carrying out -- there was a problem that highly-minute-izing was difficult, without obtaining.

[0013] Then, this invention aims at highly minute or raising a numerical aperture more more in the display which has a holding circuit.

[0014]

[Means for Solving the Problem] Two or more pixel electrodes which accomplished this invention in order to solve the above-mentioned technical problem, and have been arranged in the shape of a matrix, In the active-matrix mold display which is equipped with the power-source line which supplies a predetermined electrical potential difference to two or more holding circuits and the holding circuit which have been arranged corresponding to a pixel electrode, and displays by supplying the electrical potential difference according to the data which a holding circuit holds to a pixel electrode A power-source line is a active-matrix mold display currently shared in the holding circuit corresponding to the pixel electrode which adjoins in the other directions of one of matrices while being shared in the holding circuit corresponding to the pixel electrode which extends in the matrix any 1 direction, and is located in a line with an one direction.

[0015] Since according to this configuration the number of a power-source line can be reduced in a moiety in the active-matrix mold display which has a holding circuit as compared with arranging a power-source line for every line and pixel size can be reduced, it can consider as a higher definition active-matrix display.

[0016] It has the pixel electrode arranged in the shape of a matrix, two or more gate signal lines arranged at the line writing direction, and two or more drain signal lines arranged in the direction of a train. Moreover, a pixel electrode In the active-matrix mold display with which a video signal is supplied from a drain signal line while being chosen by the scan signal from a gate signal line the scan signal inputted from a gate signal line -- with the 1st display circuit which supplies the signal according to the video signal from a drain signal line to the selected pixel electrode The 2nd display circuit which a predetermined electrical potential difference is supplied, and is equipped with the holding circuit which holds the video signal from a drain signal line according to the signal inputted from a gate signal line, and supplies the signal according to the signal from this holding circuit to a display electrode, The power-source line which is equipped with the circuit selection circuitry for connecting the 1st and 2nd display circuits to a drain signal line alternatively according to a circuit selection signal, and supplies a predetermined electrical potential difference to a holding circuit While being used in common in the holding circuit corresponding to the pixel electrode which extends in a matrix one direction and is located in a line with this one direction, it is the active-matrix mold display currently shared between two or more pixels which adjoin in the direction besides a matrix.

[0017] Since according to this configuration the number of a power-source line can be reduced in a moiety as compared with arranging a power-source line for either of the 1st and 2nd display circuits for every line in a selectable active-matrix mold display and pixel size can be reduced, it can consider as a higher definition active-matrix display.

[0018] The desirable embodiment is as follows. That is, at least two drive power-source lines which extend in a matrix one direction and supply different driver voltage to each holding circuit are connected, and at least one drive power-source line is shared by two or more pixels which adjoin in the direction besides a matrix.

[0019] Furthermore, at least two reference power-source lines which extend in a matrix one direction and supply different reference voltage to each holding circuit are connected, a holding circuit chooses reference voltage according to the held data, and supplies it to a pixel electrode, and one that there are few reference power-source lines is shared by two or more pixels which adjoin in the direction besides a

matrix.

[0020] Furthermore, the power-source line shared supplies the same electrical potential difference to all holding circuits. furthermore, between the pixels by which arrangement of the holding circuit in the pixel which the power-source line shared is arranged near between the pixels which adjoin in the direction besides a matrix, and adjoins in the direction besides a matrix adjoins in the direction besides a matrix -- a shaft or a core -- ** -- on both sides of the power-source line which are shared by carrying out, it is arranged at the symmetry.

[0021]

[Embodiment of the Invention] Next, the display concerning the operation gestalt of this invention is explained. The circuitry Fig. at the time of applying the display of this invention to a liquid crystal display at drawing 1 is shown.

[0022] Two or more pixel electrodes 17 are arranged in the shape of a matrix on the insulating substrate 10 at the liquid crystal display panel 100. And two or more gate signal lines 51 connected to the gate driver 50 which supplies a gate signal are arranged in the one direction, and two or more drain signal lines 61 are arranged in the direction which intersects these gate signal lines 51.

[0023] According to the timing of the sampling pulse outputted from the drain driver 60, the sampling transistors SP1, SP2, --, SPn turn on in the drain signal line 61, and the data signal (an analog video signal or digital video signal) of the data signal line 62 is supplied to it.

[0024] A gate driver 50 chooses a certain gate signal line 51, and supplies a gate signal to this. A data signal is supplied to the pixel electrode 17 of the selected line from the drain signal line 61.

[0025] Hereafter, the detailed configuration of each pixel is explained. Near the intersection of the gate signal line 51 and the drain signal line 61, the circuit selection circuitry 40 which consists of the P channel mold circuit selection TFT41 and the N channel mold circuit selection TFT42 is formed. While both the drains of the circuit selection 41 and TFT 42 are connected to the drain signal line 61, both those gates are connected to the circuit selection-signal line 88. The circuit selection 41 and TFT 42 has embraced the selection signal from the selection-signal line 88, and a gap or one side turns it on. Moreover, the circuit selection circuitry 40 and a pair are accomplished so that it may mention later, and the circuit selection circuitry 43 is formed. That each transistor should just operate complementary, even when a P channel and an N channel are reverse, it is easy to be natural [the circuit selection circuitries 40 and 43 / an N channel]. Moreover, the circuit selection circuitries 40 and 43 can also omit only either.

[0026] It enables this to choose and switch the analog video-signal display (full color dynamic-image correspondence) which is in normal operation mode mentioned later, and the digital graphic display (a low power, static-image correspondence) which is a memory mode of operation. Moreover, the circuit selection circuitry 40 is adjoined and the pixel selection circuitry 70 which consists of the N channel mold pixel selection TFT71 and the N channel mold TFT72 is arranged. While the pixel selection 71 and TFT 72 is connected to the circuit selection 41 and TFT 42 and the column of the circuit selection circuitry 40, respectively, the gate signal line 51 is connected to those gates. The pixel selection 71 and TFT 72 is constituted so that both may turn on in coincidence according to the gate signal from the gate signal line 51.

[0027] Moreover, the auxiliary capacity 85 for holding an analog video signal is formed. One electrode of the auxiliary capacity 85 is connected to the source of the pixel selection TFT71. The electrode of another side is connected to the common auxiliary capacity line 87, and bias voltage Vsc is supplied. Moreover, the source of the pixel selection TFT71 is connected to the pixel electrode 17 through the circuit selection TFT44 and contact 16. If the gate of the pixel selection TFT70 opens with a gate signal, the analog video signal supplied from the drain signal line 61 will be inputted into the pixel electrode 17 through contact 16, and will drive liquid crystal as a pixel electrical potential difference. Although 1 field period maintenance of [until selection of the pixel selection TFT71 is canceled and then a pixel electrical potential difference is chosen again] must be carried out, only by the capacity of liquid crystal,

a pixel electrical potential difference falls gradually with time amount progress, and is not held in 1 field period 10 minutes. If it does so, the fall of the pixel electrical potential difference will appear as display unevenness, and a good display will no longer be obtained. Then, in order to carry out 1 field period maintenance of the pixel electrical potential difference, the auxiliary capacity 85 is formed.

[0028] Between this auxiliary capacity 85 and the pixel electrode 17, the P channel mold TFT44 of the circuit selection circuitry 43 is formed, and it is constituted so that it may turn on and off to the circuit selection TFT41 and coincidence of the circuit selection circuitry 40. The circuit selection TFT41 turns on and the mode of operation which supplies an analog signal at any time and drives liquid crystal is called normal operation mode or an analog mode of operation.

[0029] Moreover, the holding circuit 110 is formed between TFT72 of the pixel selection circuitry 70, and the pixel electrode 17. A holding circuit 110 consists of two inverter circuits and signal selection circuitries 120 by which positive feedback was carried out, and constitutes the static mold memory holding the digital binary one.

[0030] Moreover, the signal selection circuitry 120 is a circuit which chooses a signal according to the signal from two inverters, and consists of two N channel molds 121 and TFT 122. Since the complementary output signal from two inverters is impressed to the gate of TFT 121 and 122, respectively, TFT 121 and 122 is turned on and off complementary.

[0031] Here, if TFT122 turns on, an alternating current driving signal (signal B) will be chosen, if TFT121 turns on, an equal alternating current driving signal (signal A) will be chosen in the counterelectrode signal VCOM, and the pixel electrode 17 of liquid crystal 21 will be supplied through TFT45 of a selection circuitry 43. The circuit selection TFT42 turns on and the mode of operation which displays based on the data held in the holding circuit 110 is called memory mode or a digital mode of operation.

[0032] The circuit (analog display circuit) which consists of the auxiliary capacity 85 which will hold the pixel selection TFT71 and the analog video signal which are a pixel selection component if the configuration mentioned above is summarized, and the circuit (digital display circuit) which consists of TFT72 which is a pixel selection component, and the holding circuit 110 holding a binary digital video signal are prepared in one pixel electrode, and the circuit selection circuitries 40 and 43 for choosing these two circuits are formed further.

[0033] Next, the circumference circuit of a liquid crystal panel 100 is explained. LSI91 for a panel drive is formed in the external circuit board 90 of another substrate in the insulating substrate 10 of a liquid crystal panel 100. The perpendicular start signal STV is inputted into a gate driver 50 from LSI91 for a panel drive of this external circuit board 90, and level start signal STH is inputted into the drain driver 60. Moreover, a video signal is inputted into the data line 62.

[0034] Next, the drive approach of the display a configuration of having mentioned above is explained. (1) If an analog display mode is chosen according to a mode signal in the case of normal operation mode (analog mode of operation), the potential of the circuit selection-signal line 88 is set to "L", the circuit selection 41 and TFT 43 of the circuit selection circuitries 40 and 43 turns on LSI91, and the circuit selection 42 and TFT 45 turns it off while it is set as the condition of supplying an analog signal to the data signal line 62.

[0035] Moreover, according to the sampling signal based on level start signal STH, the sampling transistor SP carries out sequential ON, and the analog video signal of the data signal line 62 is supplied to the drain signal line 61.

[0036] Moreover, based on the perpendicular start signal STV, a gate signal is supplied to the gate signal line 51. If the pixel selection TFT71 turns on according to a gate signal, while analog video-signal An.Sig will be transmitted to the pixel electrode 17 from the drain signal line 61, it is held at the auxiliary capacity 85. The video-signal electrical potential difference impressed to the pixel electrode 17 is impressed to liquid crystal 21, and when liquid crystal 21 carries out orientation according to the electrical potential difference, a liquid crystal display can be obtained.

[0037] Since liquid crystal is driven at any time in this analog display mode according to the analog

signal inputted at any time, it is suitable to display a full color dynamic image. However, since they are driven to LSI91 of the external circuit board 90, and each drivers 50 and 60, power is consumed continuously.

(2) If digital display mode is chosen according to a mode signal in the case of a memory mode of operation (digital display mode), while being set as the condition of outputting the digital data which LSI91 carried out digital conversion of the video signal, and extracted 1 bit of high orders to the data signal line 62, the potential of the circuit selection-signal line 88 will be set to "H." Then, since the circuit selection 42 and TFT 45 turns on while the circuit selection 41 and TFT 44 of the circuit selection circuitries 40 and 43 turns off, a holding circuit 110 will be in an effective condition.

[0038] Moreover, start signal STH is inputted into a gate driver 50 and the drain driver 60 from LSI91 for a panel drive of the external circuit board 90. According to it, a sampling signal carries out sequential generating, and according to each sampling signal, the sampling transistors SP1, SP2, ..., SPn turn on in order, sample digital video-signal D.Sig, and supply each drain signal line 61.

[0039] The gate signal line 51 by which the 1st line G1, i.e., a gate signal, is impressed here is explained. First, each pixel selection TFT72 of each pixel electrode connected to the gate signal line 51 by the gate signal G1 carries out 1 horizontal-scanning period ON. If the pixel electrode of the 1st line 1st train is observed, the digital video signal S11 sampled with the sampling signal SP 1 will be inputted into the drain signal line 61. And if the selection pixel selection TFT72 is turned on with a gate signal, the digital signal D.Sig will be inputted into a holding circuit 110, and will be held by two inverters.

[0040] The signal held with this inverter is inputted into the signal selection circuitry 120, Signal A or Signal B is chosen by this signal selection circuitry 120, that selected signal is impressed to the pixel electrode 17, and that electrical potential difference is impressed to liquid crystal 21.

[0041] In this way, by scanning from the gate signal line of the 1st line to the gate signal line of a last line, the scan for one screen (1 field period), i.e., all dot scans, is completed, and one screen is displayed.

[0042] Here, if one screen is displayed, electrical-potential-difference supply to the drain driver 60 and external LSI91 for a panel drive will be suspended in gate driver 50 list, and those drives will be stopped. Driver voltages VDD and VSS are always supplied to a holding circuit 110, and it drives, and a counterelectrode electrical potential difference is supplied to a counterelectrode 32, and each signals A and B are supplied to a selection circuitry 120.

[0043] That is, it is only supplying the driver voltages VDD and VSS for driving this holding circuit to a holding circuit 110, impressing the counterelectrode electrical potential difference VCOM to a counterelectrode, impressing the alternating current driver voltage of the same potential as a counterelectrode electrical potential difference to Signal A, and impressing the alternating voltage (for example, 60Hz) for driving liquid crystal to Signal B, when the liquid crystal display panel's 100 is Nor Marie White (NW). By doing so, one screen can be held and it can display as a static image. Moreover, it is in the condition that the electrical potential difference is not impressed to other gate drivers 50, drain drivers 60, and external LSI91.

[0044] When "H (yes)" is inputted into the drain signal line 61 with a digital video signal in a holding circuit 110 at this time, since "L" will be inputted into 1st TFT121 in the signal selection circuitry 120, 1st TFT121 becomes off, and since "H" will be inputted into 2nd TFT122 of another side, 2nd TFT122 serves as ON. If it does so, Signal B will be chosen and the electrical potential difference of Signal B will be impressed to liquid crystal. That is, since the alternating voltage of Signal B is impressed and liquid crystal starts by electric field, in the display panel of NW, it is observable as a black display as a display.

[0045] When "L" is inputted into the drain signal line 61 with a digital video signal in a holding circuit 110, since "H" will be inputted into 1st TFT121 in the signal selection circuitry 120, 1st TFT121 serves as ON, and since "L" will be inputted into 2nd TFT122 of another side, 2nd TFT122 becomes off. If it does so, Signal A will be chosen and the electrical potential difference of Signal A will be impressed to liquid crystal. That is, since the same electrical potential difference as a counterelectrode 32 is impressed, electric field do not occur, but since liquid crystal does not start, as a display, it is observable [liquid

crystal] in the display panel of NW as a white display.

[0046] Thus, in that case, although it can display as a static image by writing in one screen and holding it, since the drive of each drivers 50 and 60 and LSI91 is stopped, it can low-power-ize that much.

[0047] With the above-mentioned operation gestalt, although a holding circuit 110 holds only 1 bit, if a holding circuit 110 is formed into many bits, of course, it can also perform a gradation display by the memory mode of operation, and the full color display by the memory which memorizes an analog value, then the memory mode of operation can also do a holding circuit 110.

[0048] As mentioned above, according to the operation gestalt of this invention, it can respond to two kinds of displays called a full color cine mode display (in the case of an analog display mode), and the digital gradation display (in the case of digital display mode) of a low power by one liquid crystal display panel 100.

[0049] Next, the layout of this operation gestalt is explained using drawing 2 . Drawing 2 is the conceptual diagram showing the layout of this operation gestalt. While connecting with a serial and connecting P channel TFT44 of the P channel circuit selection TFT41 of a circuit selection circuitry, the N channel pixel selection TFT71 of a pixel selection circuitry, and a circuit selection circuitry to the pixel electrode 17 through contact 16, it connects with the auxiliary capacity 85. Moreover, N channel TFT45 of the N channel circuit selection TFT42, the N channel pixel selection TFT72, a holding circuit 110, and a circuit selection circuitry is connected to the pixel electrode 17 through contact 16. Each above configuration is superimposed on the pixel electrode 17, and is arranged.

[0050] Although the circuitry arranged at each pixel is almost the same at each pixel, circuit arrangement of the pixels which adjoin in the direction of a train is the axial symmetry centering on between almost mutual pixels. That is, in the pixel of eye drawing 1 train, the gate signal line 51 is arranged at pixel upper limit, and the holding circuit 110 is arranged in the pixel lower half. And in the pixel of eye drawing 2 train, the gate signal line 51 is arranged in the lower limit of a pixel, and the holding circuit 110 is arranged in the pixel upper half. Similarly, in the pixel of eye three trains do not illustrate, it becomes the same arrangement as the pixel of eye one train which the gate signal line 51 has been arranged to upper limit, and has arranged the holding circuit 110 in the lower half.

[0051] A holding circuit 110 is SRAM as mentioned above. And a total of the drive power-source line (LVDD, LVSS) of two kinds of height, the reference power-source line (Signal A, Signal B) of two kinds of height, and four power-source lines is connected to the holding circuit 110. These power-source lines are prolonged in the line writing direction, and are shared by each pixel of the line like the gate signal line 51 and the auxiliary capacity line 87 grade. The above is a point which is common by circuit arrangement of each pixel. The circuit layouts of each pixel differ in this operation gestalt. The circuit layout of each pixel is arranged by axial symmetry by the pixels which adjoin in the direction of a train. And on both sides of these four power-source lines, holding circuit 110 comrades of the pixel which adjoins in the direction of a train approach mutually, and are arranged, and four power-source lines are common in both holding circuits 110. That is, each power-source line is arranged at one rate at the pixel of two lines, and is connected to all the holding circuits corresponding to the pixel of two lines.

Therefore, as compared with arranging the power-source line prolonged in a line writing direction for every line, it is reducible in one half. Since the active-matrix mold display which has a holding circuit 110 has many circuits installed for every pixel, reducing the components of a circuit links with contraction of pixel area directly. Therefore, a display with a holding circuit can be made highly minute.

[0052] For example, since it is necessary to make it turn on to timing which is different in each line, the gate signal line 51 is unsharable ranging over a different line. On the other hand, four power-source lines shared between this operation gestalt are lines which supply the driver voltage of a holding circuit 110, and reference voltage, and continue supplying the electrical potential difference impressed in common with the holding circuit 110 of all pixels irrespective of the contents of a display of selection of the pixel, un-choosing, or its pixel (white, black). Therefore, ranging over two or more lines, it can use in common. Moreover, since it is the same, even if a active-matrix mold display is the type which performs color

display, a power-source line can be shared by contiguity pixels. That is, this invention can completely be similarly carried out in the delta array by which not only the stripe array to which the same color is located in a line in the direction of a train but each RGB is arranged alternately.

[0053] Next, the relation on the layout of the four above-mentioned power-source lines and the pixel electrode 17 is explained. Drawing 3 is the layout conceptual diagram showing the boundary part of the pixels GS1 and GS2 which adjoin in the direction of a train in drawing 2. As shown in drawing, the power-source line 19 (the power-source line LVDD supplied to SRAM of a holding circuit 110 all over drawing) shared by two pixels GS1 and GS2. While extending by carrying out in one pixel GS 2, for example, a pixel, at superposition, it branches in the direction of pixels GS1 and GS2 from the middle, respectively. It is contacted by the sources 110S and 110S of the thin film transistor (TFT) which constitutes each SRAM through contacts 18 and 18.

[0054] In such a layout, parasitic capacitance is formed through an insulator layer between the pixel electrode 17 of a pixel GS 2, and the power-source line 19. Since the parasitic capacitance becomes very large as compared with the parasitic capacitance formed between the pixel electrode 17 of a pixel GS 1, and the power-source line 19, the effect to the pixel electrodes 17 and 17 of parasitic capacitance serves as imbalance. For this reason, the effect of parasitic capacitance will occur at intervals of a pixel, and will appear as a lateral stripe or a vertical reinforcement on a screen, and display grace will fall.

[0055] Then, by forming the superposition field 20 where the power-source line 19 which branched in the pixel GS 1 of the side to which the power-source line 19 does not lap with the pixel electrode 17 extends and changes on the pixel electrode 17, the parasitic capacitance between the pixel electrode 17 and the power-source line 19 was increased, the parasitic capacitance which the adjoining pixel GS 2 has was balanced, and the effect of parasitic capacitance is lost. It is desirable to make equal parasitism capacity value formed between the pixel electrode 17 and the power-source line 19 to the adjoining pixels GS1 and GS2 by forming the superposition field 20 where the power-source line 19 was extended here.

[0056] In addition, the power-source line 19 may not be restricted to the drive power-source line (LVDD) by the side of the high voltage of a holding circuit 110, but any of a reference power-source line (Signal A, Signal B), the drive power-source line (LVSS) by the side of the low battery of a holding circuit 110, and the reference power-source line that transmits Signal B are sufficient as it.

[0057] Moreover, with the layout mentioned above, although capacity coupling of the power-source line 19 is directly carried out by being superimposed on the pixel electrode 17, it does not necessarily need to be superimposed on the pixel electrode 17. For example, like [in the case of having connected between the source of TFT, and the pixel electrodes 17 through a bipolar electrode layer], the power-source line 19 may intervene and may be carrying out capacity coupling of the bipolar electrode layer to the pixel electrode 17 indirectly. Therefore, it is not required to not necessarily superimpose on the pixel electrode 17 also about the superposition field 20 where the power-source line 19 mentioned above extends and changes on the pixel electrode 17, and the same effectiveness will be done so if superimposed on the above bipolar electrode layers.

[0058] By the way, LCD of this operation gestalt is the reflective mold LCD. The drawing 2 A-A' line sectional view of the reflective mold LCD of this operation gestalt is shown in drawing 4. On one insulating substrate 10, it consists of polycrystalline silicon, and the island-ized semi-conductor layer 11 is arranged, and gate dielectric film 12 covers a it top, and it is arranged. It is the upper part of the semi-conductor layer 11, the gate electrode 13 is arranged on gate dielectric film 12, and the source and a drain are formed in the lower layer semi-conductor layer 11 located in the both sides of this gate electrode 13. These are covered on the gate electrode 13 and gate dielectric film 12, and the interlayer insulation film 14 is formed. And contact is formed in the location corresponding to the drain and source, and the source is connected to the pixel electrode 17 for the drain through contact 16 at the pixel selection TFT71 through the contact, respectively. Each pixel electrode 17 formed on the flattening

insulator layer 15 consists of charges of a reflector, such as aluminum (aluminum). On each pixel electrode 17 and the flattening insulator layer 15, the orientation film 20 which consists of the polyimide which carries out orientation of the liquid crystal 21 is formed.

[0059] On the insulating substrate 30 of another side, the counterelectrode 32 which consists of transparent conductive film, such as red (R), green (G), the color filter 31 that presents each blue (B) color, and ITO (Indium Tin Oxide), and the orientation film 33 which carries out orientation of the liquid crystal 21 are formed in order. When not considering as color display, of course, the color filter 31 is unnecessary.

[0060] In this way, the circumference of the insulating substrates 10 and 30 of the formed pair is pasted up by the adhesive sealant, and the opening formed of it is filled up with liquid crystal 21.

[0061] In the reflective mold LCD, as a drawing middle point line arrow head shows, it can be reflected by the pixel electrode 17, and the outdoor daylight which carried out incidence from the insulating substrate 30 side can carry out outgoing radiation to an observer 1 side, and can observe a display.

[0062] The reflective mold LCD does not affect a numerical aperture, no matter what component may be arranged under the pixel electrode 17, since light does not penetrate the pixel electrode 17. And spacing of a pixel can also be made equivalent to the usual LCD by arranging the holding circuit 110 which needs a large area under the pixel electrode 17. Moreover, it is necessary to arrange no configurations under a pixel electrode like this operation gestalt, and a part of configurations may be arranged to pixel inter-electrode.

[0063] Next, it explains, referring to a drawing about the 2nd operation gestalt of this invention. Drawing 5 is the conceptual diagram showing the flat-surface layout of this operation gestalt. This operation gestalt is a stripe array as for which it has been arranged in line by the pixel of RGB each color, one color filter of the RGB is equivalent to each pixel electrode 17, and is arranged, and shows it as 17R, 17G, and 17B. The pixel of each RGB has the same circuit as drawing 2 R> 2, and can hold the data of the pixel now to a holding circuit 110 by each pixel.

[0064] A point characteristic about this operation gestalt is a point the layout of the pixel electrode 17 and whose circuit layouts, such as a holding circuit, a selection circuitry, and auxiliary capacity, do not correspond. This point is stated to a detail by the following. Its attention is first paid to pixel electrode 17R. Pixel electrode 17R is arranged at the left end of a drawing, and has the shape of a rectangle long in the vertical direction. The contact which connects pixel electrode 17R and its circuit is shown by 16R. And the circuit selections 41R and TFT 44R and pixel selection TFT71R were connected to the serial, and the part has extended even in pixel electrode 17G which are a contiguity pixel. Auxiliary capacity 85R and holding circuit 110R have extended in pixel electrode 17G similarly. And pixel electrode 17G are connected to the circuit which corresponds through contact 16G, and circuit selection TFT41G, pixel selection TFT71G, auxiliary capacity 85G, and holding circuit 110G are superimposed on pixel electrode 17R which is a contiguity pixel, and are arranged.

[0065] And the circuit corresponding to the pixel electrodes 17R and 17G shares the gate signal line 51, and one on a gate signal line is mutually arranged as a core at point symmetry. Hereafter, the circuit corresponding to pixel electrode 17B extends similarly in the pixel electrode which the next door does not illustrate further. If this pixel is made into pixel electrode 17R', the circuit corresponding to pixel electrode 17R' is conversely superimposed on pixel electrode 17B.

[0066] Thus, the merit of arranging is explained below. For example, considering RGB3 color as one picture element, if this picture element is use mostly at a square, the pixel of RGB each will serve as a longwise rectangle by 3:1. Generally the pixel of RGB each of a stripe array serves as a rectangle long to an one direction. The design of a circuit will become difficult, if a layout tends to be united with the bottom of such a long and slender rectangular pixel electrode 17 and it is going to arrange holding circuit 110 grade. If it is this invention, since the layout of the pixel electrode 17 differs from the layout of a circuit to it, the detour of excessive wiring etc. can become unnecessary, space efficiency can increase, and area which a holding circuit needs can be made smaller. It can be said that reducing a holding circuit

links with highly minute-ization of LCD directly since the minimum area of 1 pixel has a dominant area which a holding circuit mainly occupies in the case of LCD with a holding circuit.

[0067] Next, the merit of arranging a circuit to the symmetry on both sides of a gate signal line is explained below. When the share of the field is carried out and it suits by contiguity pixels, it will be necessary to adjust the layout in a circuit for every pixel but, and if it arranges to point symmetry by contiguity pixels, the circuit of one pixel is designed, mirroring of the circuit can be carried out, it can be designed, and the effectiveness of a circuit design is good. However, it is necessary to adjust the connection to four power-source lines shown in the pixel vertical edge all over drawing. Moreover, supposing it does not make a circuit layout into point symmetry but moves in parallel, it will be necessary to leave the gate signal line of contiguity pixels mutually, and to arrange it, and it will need to arrange a gate signal line each two lines. On the other hand, with this operation gestalt, since the circuit is arranged to the symmetry, a gate signal line is good and it is not necessary to increase it by each one line.

[0068] And also in this operation gestalt, like the 1st operation gestalt, a holding circuit 110 is arranged in the upper limit and lower limit of a pixel, contiguity arrangement is carried out on both sides of a power-source line (VDD, VSS, Signal A, Signal B), and the holding circuit 110 of the pixels which adjoin in the direction of a train is sharing these four power-source lines. Therefore, as compared with arranging a power-source line for every line, power-source lines are reducible in a moiety like the 1st operation gestalt.

[0069] Although the contiguity pixel shared four power-source lines, it is not necessary to make the above 1st and the 2nd operation gestalt surely share all power-source lines. If immediately near is adjoined and four power-source lines are arranged, since all wiring that made it branch in the direction of a train from each power-source line in order to connect with a holding circuit 110 will intersect other three power-source lines, parasitic capacitance will produce it. Moreover, the direction which has arranged one power-source line between the holding circuit 110 of the layout of this operation gestalt and the auxiliary capacity 85 etc. is assumed also when the effectiveness of a layout is synthetically good. In such a case, what is necessary is just to share the power-source line of arbitration among four power-source lines.

[0070] In the above 1st and the 2nd operation gestalt, since circuit arrangement has been no longer perfect axial symmetry and point symmetry as a result of sharing a power-source line, the parasitic capacitance formed with each power-source line and the pixel electrode 17 may differ by pixels. When it does so, signal delay differs by pixels and there is a possibility that display quality may deteriorate. Then, what is necessary is to arrange n in piles to each pixel of each, and just to arrange one power-source line between pixels, if the power-source line which will arrange n [at a time] in piles to each pixel, and will be shared if the power-source line to share is $[2n]$ in order to arrange this parasitic capacitance (n is the natural number) is $[2n+1]$.

[0071] In the above 1st and the 2nd operation gestalt, although it explained that four power-source lines (VDD, VSS, Signal A, Signal B) were shared by the pixels which are prolonged in a line writing direction and adjoin in the direction of a train, as the circuit diagram of drawing 1 showed, you may lengthen and arrange in the direction of a train. In this case, as axial symmetry [arrangement / of each pixel / circuit] centering on between trains, a power-source line can be shared and the same effectiveness as the 1st and 2nd operation gestalt can be done so. However, when it is a stripe array especially like the 2nd operation gestalt, there are little layout-allowances to lengthen wiring in the direction of a train. Therefore, it is better to arrange a power-source line so that it may be extended to a line writing direction.

[0072] Although the above-mentioned operation gestalt explained using the reflective mold LCD, it is also possible to apply to the transparency mold LCD, of course, and to superimpose and arrange a transparent pixel electrode and a transparent holding circuit. However, in the transparency mold LCD, since the place where metal wiring is arranged is shaded, decline in a numerical aperture is not avoided.

Moreover, since there is a possibility that the transistor of a holding circuit or a selection circuitry may malfunction by the light to penetrate when a holding circuit is arranged under a pixel electrode with the transparency mold LCD, it is necessary to earn a light-shielding film on the gate of all transistors. Therefore, it is difficult to make a numerical aperture high in the transparency mold LCD.

[0073] On the other hand, the reflective mold LCD does not affect a numerical aperture, no matter what circuit may be arranged under a pixel electrode. Furthermore, in order that there may be no need of using the so-called back light for the opposite side an observer side, like the liquid crystal display of a transparency mold, power for making a back light turn on is not needed. Since the primary purpose of LCD with a holding circuit is reduction of power consumption, it is desirable that it is the reflective mold LCD which fitted low-power-ization by back light needlessness as an indicating equipment of this invention.

[0074] Moreover, although the above-mentioned operation gestalt was explained using the liquid crystal display, this invention is applicable to an organic electroluminescence display and various displays, such as an LED display equipment, regardless of this.

[0075]

[Effect of the Invention] As explained above, the active-matrix mold display of this invention In the active-matrix mold display which has a holding circuit corresponding to a pixel electrode, the power-source line connected to a holding circuit For example, while being used in common in the holding circuit corresponding to the pixel electrode which extends in a line writing direction and is located in a line with a line writing direction Since it is used in common in the holding circuit corresponding to the pixel electrode which adjoins in the direction of a train Since the number of a power-source line can be reduced in a moiety as compared with arranging a power-source line for every line and pixel size can be reduced, it can consider as a higher definition active-matrix display with a holding circuit.

[0076] Since especially the power-source line shared supplies the same electrical potential difference to all holding circuits, it is sharable covering a line writing direction and the direction of a train.

[0077] Since arrangement of the holding circuit in the pixel which especially the power-source line shared is arranged near between the pixels which adjoin in the direction besides a matrix, and adjoins in the direction besides a matrix is arranged at the symmetry on both sides of the power-source line shared by setting between the pixels which adjoin in the direction besides a matrix as a shaft or a core, it can improve the effectiveness of a layout -- wiring which connects to a holding circuit from the shared power-source line can shorten.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the 1st operation gestalt of this invention.

[Drawing 2] It is the conceptual diagram showing the flat-surface layout of the 1st operation gestalt of

this invention.

[Drawing 3] It is the conceptual diagram showing the flat-surface layout of the 1st operation gestalt of this invention.

[Drawing 4] It is the sectional view of the operation gestalt of this invention.

[Drawing 5] It is the conceptual diagram showing the flat-surface layout of the 2nd operation gestalt of this invention.

[Drawing 6] It is the circuit diagram showing 1 pixel of a liquid crystal display.

[Drawing 7] It is the circuit diagram showing the conventional display with a holding circuit.

[Drawing 8] It is the circuit diagram showing 1 pixel of the conventional liquid crystal display with a holding circuit.

[Description of Notations]

17 Pixel Electrode

40 43 Circuit selection circuitry

70 Pixel Selection Circuitry

85 Auxiliary Capacity

110 Holding Circuit

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-207442
(P2002-207442A)

(43)公開日 平成14年7月26日(2002.7.26)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト*(参考)
G 0 9 F 9/30	3 3 0	G 0 9 F 9/30	3 3 0 Z 2 H 0 9 2
	3 3 8		3 3 8 2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 9 4
1/1345		1/1345	5 F 1 1 0
1/1368		1/1368	

審査請求 未請求 請求項の数10 O L (全 15 頁) 最終頁に続く

(21)出願番号 特願2001-310626(P2001-310626)

(22)出願日 平成13年10月5日(2001.10.5)

(31)優先権主張番号 特願2000-337078(P2000-337078)

(32)優先日 平成12年11月6日(2000.11.6)

(33)優先権主張国 日本 (J P)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 宮島 康志

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74)代理人 100107906

弁理士 須藤 克彦 (外1名)

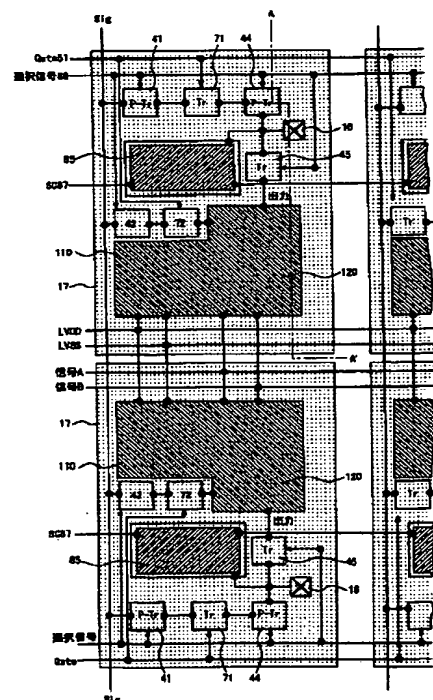
最終頁に続く

(54)【発明の名称】 アクティブマトリクス型表示装置

(57)【要約】

【課題】 アクティブマトリクス型表示装置の低消費電力化と同時に回路の高精細化を図る。

【解決手段】 各画素毎に映像信号を保持する保持回路110を配置し、通常動作モードとメモリ動作モードを切り換えて表示する。保持回路110に駆動電圧、参照電圧を供給する電源線を隣接する2行で共有することによって、各行毎に電源線を配置するのに比較して電源線を半数に削減し、回路配置のスペース効率を向上し、保持回路110の回路面積を縮小する。保持回路110を縮小することで画素サイズを縮小し、高精細化できる。



(2)

【特許請求の範囲】

【請求項1】 行列状に配置された複数の画素電極、前記画素電極に対応して配置された複数の保持回路、前記保持回路に所定の電圧を供給する電源線を備え、前記保持回路が保持するデータに応じた電圧が前記画素電極に供給されて表示を行うアクティブマトリクス型表示装置において、前記電源線は、行列いずれか一方に延在し、前記一方に並ぶ画素電極に対応する保持回路で共用されるとともに、行列いずれかの他方向に隣接する画素電極に対応する保持回路で共用されていることを特徴とするアクティブマトリクス型表示装置。

【請求項2】 行列状に配置された画素電極と、行方向に配置された複数のゲート信号線と、列方向に配置された複数のドレイン信号線とを有し、前記画素電極は、前記ゲート信号線からの走査信号により選択されると共に前記ドレイン信号線から映像信号が供給されるアクティブマトリクス型表示装置において、前記ゲート信号線から入力される走査信号によって選択された画素電極に前記ドレイン信号線からの映像信号に応じた信号を供給する第1の表示回路と、所定の電圧が供給され、前記ゲート信号線から入力される走査信号に応じて前記ドレイン信号線からの映像信号を保持する保持回路を備え、該保持回路からの信号に応じた信号を前記表示電極に供給する第2の表示回路と、回路選択信号に応じて、前記第1及び第2の表示回路を選択的に前記ドレイン信号線に接続するための回路選択回路と、を備え、

前記保持回路に所定の電圧を供給する電源線は、行列いずれかの一方に延在し、該一方に並ぶ画素電極に対応する保持回路で共用されるとともに、行列いずれかの他方向に隣接する複数の画素で共有されていることを特徴とするアクティブマトリクス型表示装置。

【請求項3】 前記保持回路それぞれには、行列いずれかの一方に延在し、異なる駆動電圧を供給する少なくとも2本の駆動電源線が接続され、前記駆動電源線の少なくとも1本は、行列他方向に隣接する複数の画素で共有されていることを特徴とする請求項1または請求項2に記載のアクティブマトリクス型表示装置。

【請求項4】 互いに隣接する画素で共有された前記駆動電源線を、一方の画素の画素電極に容量結合させるとともに、前記駆動電源線が他方の画素の画素電極に容量結合するように拡張された領域を設けたことを特徴とする請求項3に記載のアクティブマトリクス表示装置。

【請求項5】 互いに隣接する画素で共有された前記駆動電源線を、一方の画素の画素電極上に重畳させるとともに、前記駆動電源線を他方の画素の画素電極上に拡張して成る重畳領域を設けたことを特徴とする請求項3に記載のアクティブマトリクス表示装置。

【請求項6】 前記保持回路それぞれには、行列いずれかの一方に延在し、異なる参照電圧を供給する少なく

とも2本の参照電源線が接続され、前記保持回路は、保持したデータに応じて前記参照電圧を選択して前記画素電極に供給し、前記参照電源線の少なくとも1本は、行列いずれかの他方向に隣接する複数の画素で共有されていることを特徴とする請求項1または請求項2に記載のアクティブマトリクス型表示装置。

【請求項7】 互いに隣接する画素で共有された前記参照電源線を、一方の画素の画素電極に容量結合させるとともに、前記参照電源線が他方の画素の画素電極に容量結合するように拡張された領域を設けたことを特徴とする請求項6に記載のアクティブマトリクス表示装置。

【請求項8】 互いに隣接する画素で共有された前記参照電源線を、一方の画素の画素電極上に重畳させるとともに、前記参照電源線を他方の画素の画素電極上に拡張して成る重畳領域を設けたことを特徴とする請求項6に記載のアクティブマトリクス表示装置。

【請求項9】 前記共有される電源線は、全ての保持回路に対して同じ電圧を供給することを特徴とする請求項1または請求項2に記載のアクティブマトリクス型表示装置。

【請求項10】 前記共有される電源線は、前記行列いずれかの他方向に隣接する画素の間付近に配置され、前記行列いずれかの他方向に隣接する画素における前記保持回路の配置は、前記行列いずれかの他方向に隣接する画素の間を軸としてもしくは中心として前記共有される電源線を挟んで対称に配置されることを特徴とする請求項1または請求項2に記載のアクティブマトリクス型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス型表示装置に関するものであり、特に画素に対応して複数の保持回路が設けられたアクティブマトリクス型表示装置に関するものである。

【0002】

【従来の技術】近年、表示装置は携帯可能な表示装置、例えば携帯テレビ、携帯電話等が市場ニーズとして要求されている。かかる要求に応じて表示装置の小型化、軽量化、省消費電力化に対応すべく研究開発が盛んに行われている。

【0003】図6に従来例に係る液晶表示装置(Liquid Crystal Display; LCD)の一画素電極の回路構成図を示す。絶縁性基板(不図示)上に、ゲート信号線51、ドレイン信号線61とが交差して形成されており、その交差点近傍に両信号線51、61に接続された選択画素選択TFT70が設けられている。選択画素選択TFT70のソース70sは液晶21の画素電極17に接続されている。

【0004】また、画素電極17の電圧を1フィールド期間、保持するための補助容量85が設けられており、

(3)

3

この補助容量85の一方の端子86は選択画素選択TFT70のソース70sに接続され、他方の電極87には各画素電極に共通の電位が印加されている。

【0005】ここで、ゲート信号線51にゲート信号が印加されると、選択画素選択TFT70はオン状態となり、ドレイン信号線61からアナログ映像信号が画素電極17に伝達されると共に、補助容量85に保持される。画素電極17に印加された映像信号電圧が液晶21に印加され、その電圧に応じて液晶21が配向する。このような画素電極をマトリクス状に配置することによりLCDを得ることができる。

【0006】従来のLCDは、動画像、静止画像に関係なく表示を得ることができる。かかるLCDに静止画像を表示する場合、例えば携帯電話の液晶表示部の一部に携帯電話を駆動するためのバッテリーの残量表示として、乾電池の画像を表示することになる。

【0007】しかしながら、上述した構成の液晶表示装置においては、静止画像を表示する場合であっても、動画像を表示する場合と同様に、ゲート信号で選択画素選択TFT70をオン状態にして、映像信号を各画素電極に再書き込みする必要があるが生じていた。

【0008】そのため、ゲート信号及び映像信号等の駆動信号を発生するためのドライバ回路、及びドライバ回路の動作タイミングを制御するための各種信号を発生する外部LSIは常時動作するため、常に大きな電力を消費していた。このため、限られた電源しか備えていない携帯電話等では、その使用可能時間が短くなるという欠点があった。

【0009】これに対して、各画素電極にスタティック型メモリを備えた液晶表示装置が特開平8-194205号に開示されている。同公報の一部を引用して説明する。図7は特開平8-194205号に開示されている保持回路付きアクティブマトリクス型表示装置の平面回路構成図である。ゲート信号線51と参照線52が行方向に、ドレイン信号線61が列方向に、それぞれ複数配置されている。そして、保持回路54と画素電極17間にはTFT53が設けられている。保持回路54に保持されたデータに基づいて表示を行うことにより、ゲートドライバ50、ドレインドライバ60を停止して消費電力を低減するものである。

【0010】図8はこの液晶表示装置の一画素を示す回路構成図である。基板上に画素電極がマトリクス状に配置されており、画素電極17間には紙面左右方向にゲート信号線51が、上下方向にドレイン信号線61が配置されている。そしてゲート信号線51と平行に参照線52が配置され、ゲート信号線51とドレイン信号線61の交差部に保持回路54が設けられ、保持回路54と画素電極17間にはスイッチ素子53が設けられている。保持回路54は2段インバータ55、56を正帰還させた形のメモリ、即ちスタティック型メモリ(Static Ran-

4

dom Access Memory; SRAM)をデジタル映像信号の保持回路として用いる。特にSRAMは、DRAMと異なり、データの保持にリフレッシュを必要としないので好適である。

【0011】ここで、スタティック型メモリに保持された2値デジタル信号に応じて、スイッチ素子53は参照線Vrefと画素電極17との間の抵抗値を、保持回路54の出力に応じて制御し、液晶21のバイアス状態を調整している。一方、共通電極には交流信号Vcomを入力する。本装置は理想上、静止画像のように表示画像に変化がなければ、メモリへのリフレッシュは不要である。

【0012】

【発明が解決しようとする課題】しかしながら、保持回路54にスタティックRAMを用いると、保持回路を構成するトランジスタの数は4つもしくは6つと多く、回路面積が大きい。そのようなスタティックRAMを画素電極17の間に配置すると、画素電極17の面積が小さくなって液晶表示装置の開口率が低下するか、一つの画素サイズを大きくせざるをえずに高精細化が困難であるという問題があった。

【0013】そこで、本発明は、保持回路を有する表示装置において、より高精細、もしくはより開口率を向上させることを目的とする。

【0014】

【課題を解決するための手段】本発明は上記課題を解決するために成されたものであり、行列状に配置された複数の画素電極、画素電極に対応して配置された複数の保持回路、保持回路に所定の電圧を供給する電源線を備え、保持回路が保持するデータに応じた電圧が画素電極に供給されて表示を行うアクティブマトリクス型表示装置において、電源線は、行列いずれか一方方向に延在し、一方方向に並ぶ画素電極に対応する保持回路で共用されるとともに、行列いずれかの他方向に隣接する画素電極に対応する保持回路で共用されているアクティブマトリクス型表示装置である。

【0015】かかる構成によれば、保持回路を有するアクティブマトリクス型表示装置において、各行毎に電源線を配置するのに比較して電源線の本数を半数に削減でき、画素サイズを縮小することができるので、より高精細なアクティブマトリクス表示装置とすることができる。

【0016】また、行列状に配置された画素電極と、行方向に配置された複数のゲート信号線と、列方向に配置された複数のドレイン信号線とを有し、画素電極は、ゲート信号線からの走査信号により選択されると共にドレイン信号線から映像信号が供給されるアクティブマトリクス型表示装置において、ゲート信号線から入力される走査信号によって選択された画素電極にドレイン信号線からの映像信号に応じた信号を供給する第1の表示回路

(4)

5

と、所定の電圧が供給され、ゲート信号線から入力される信号に応じてドレイン信号線からの映像信号を保持する保持回路を備え、この保持回路からの信号に応じた信号を表示電極に供給する第2の表示回路と、回路選択信号に応じて、第1及び第2の表示回路を選択的にドレイン信号線に接続するための回路選択回路と、を備え、保持回路に所定の電圧を供給する電源線は、行列一方向に延在し、この一方向に並ぶ画素電極に対応する保持回路で共用されるとともに、行列他方向に隣接する複数の画素で共有されているアクティブマトリクス型表示装置である。

【0017】かかる構成によれば、第1及び第2の表示回路のいずれかを選択可能なアクティブマトリクス型表示装置において、各行毎に電源線を配置するのに比較して電源線の本数を半数に削減でき、画素サイズを縮小することができるので、より高精細なアクティブマトリクス表示装置とすることができる。

【0018】その好ましい実施態様は以下の通りである。すなわち、保持回路それぞれには、行列一方向に延在し、異なる駆動電圧を供給する少なくとも2本の駆動電源線が接続され、駆動電源線の少なくとも1本は、行列他方向に隣接する複数の画素で共有されている。

【0019】さらに、保持回路それぞれには、行列一方向に延在し、異なる参照電圧を供給する少なくとも2本の参照電源線が接続され、保持回路は、保持したデータに応じて参照電圧を選択して画素電極に供給し、参照電源線の少なくとも1本は、行列他方向に隣接する複数の画素で共有されている。

【0020】さらに、共有される電源線は、全ての保持回路に対して同じ電圧を供給する。さらに、共有される電源線は、行列他方向に隣接する画素の間付近に配置され、行列他方向に隣接する画素における保持回路の配置は、行列他方向に隣接する画素の間を軸もしくは中心として共有される電源線を挟んで対称に配置される。

【0021】

【発明の実施の形態】次に、本発明の実施形態に係る表示装置について説明する。図1に本発明の表示装置を液晶表示装置に応用した場合の回路構成図を示す。

【0022】液晶表示パネル100には、絶縁基板10上に複数の画素電極17がマトリックス状に配置されている。そして、ゲート信号を供給するゲートドライバ50に接続された複数のゲート信号線51が一方向に配置されており、これらのゲート信号線51と交差する方向に複数のドレイン信号線61が配置されている。

【0023】ドレイン信号線61には、ドレインドライバ60から出力されるサンプリングパルスのタイミングに応じて、サンプリングトランジスタSP1、SP2、…、SPnがオンし、データ信号線62のデータ信号（アナログ映像信号又はデジタル映像信号）が供給される。

6

【0024】ゲートドライバ50は、あるゲート信号線51を選択し、これにゲート信号を供給する。選択された行の画素電極17にはドレイン信号線61からデータ信号が供給される。

【0025】以下、各画素の詳細な構成について説明する。ゲート信号線51とドレイン信号線61の交差部近傍には、Pチャネル型回路選択TF T 4 1及びNチャネル型回路選択TF T 4 2から成る回路選択回路40が設けられている。回路選択TF T 4 1、4 2の両ドレインはドレイン信号線61に接続されると共に、それらの両ゲートは回路選択信号線88に接続されている。回路選択TF T 4 1、4 2は、選択信号線88からの選択信号に応じていずれか一方がオンする。また、後述するように回路選択回路40と対を成して、回路選択回路43が設けられている。回路選択回路40、43は、それぞれのトランジスタが相補的に動作すればよく、Pチャネル、Nチャネルは逆でももちろんよい。また、回路選択回路40、43はいずれか一方のみを省略することもできる。

【0026】これにより、後述する通常動作モードであるアナログ映像信号表示（フルカラー動画像対応）とメモリ動作モードであるデジタル映像表示（低消費電力、静止画像対応）とを選択して切換えることが可能となる。また、回路選択回路40に隣接して、Nチャネル型画素選択TF T 7 1及びNチャネル型TF T 7 2から成る画素選択回路70が配置されている。画素選択TF T 7 1、7 2はそれぞれ回路選択回路40の回路選択TF T 4 1、4 2と縦列に接続されると共に、それらのゲートにはゲート信号線51が接続されている。画素選択TF T 7 1、7 2はゲート信号線51からのゲート信号に応じて両方が同時にオンするように構成されている。

【0027】また、アナログ映像信号を保持するための補助容量85が設けられている。補助容量85の一方の電極は画素選択TF T 7 1のソースに接続されている。他方の電極は共通の補助容量線87に接続され、バイアス電圧Vscが供給されている。また、画素選択TF T 7 1のソースは回路選択TF T 4 4及びコンタクト16を介して画素電極17に接続されている。ゲート信号によって画素選択TF T 7 0のゲートが開くと、ドレイン信号線61から供給されるアナログ映像信号はコンタクト16を介して画素電極17に入力され、画素電圧として液晶を駆動する。画素電圧は画素選択TF T 7 1の選択が解除され、次に再び選択されるまでの1フィールド期間保持されなければならないが、液晶の容量のみでは、画素電圧は時間経過とともに次第に低下してしまい、1フィールド期間十分に保持されない。そうすると、その画素電圧の低下が表示むらとして現れてしまい良好な表示が得られなくなる。そこで画素電圧を1フィールド期間保持するために補助容量85を設けている。

【0028】この補助容量85と画素電極17との間に

50

(5)

7

は、回路選択回路43のPチャンネル型TFT44が設けられ、回路選択回路40の回路選択TFT41と同時にオンオフするように構成されている。回路選択TFT41がオンし、アナログ信号を随時供給して液晶を駆動する動作モードを通常動作モード、もしくはアナログ動作モードと呼ぶ。

【0029】また、画素選択回路70のTFT72と画素電極17との間には、保持回路110が設けられている。保持回路110は、正帰還された2つのインバータ回路と信号選択回路120から成り、デジタル2値を保持するスタティック型メモリを構成している。

【0030】また、信号選択回路120は、2つのインバータからの信号に応じて信号を選択する回路であって、2つのNチャンネル型TFT121、122で構成されている。TFT121、122のゲートには2つのインバータからの相補的な出力信号がそれぞれ印加されているので、TFT121、122は相補的にオンオフする。

【0031】ここで、TFT122がオンすると交流駆動信号（信号B）が選択され、TFT121がオンするとその対向電極信号VCOMを等しい交流駆動信号（信号A）が選択され、選択回路43のTFT45を介して、液晶21の画素電極17に供給される。回路選択TFT42がオンし、保持回路110に保持されたデータに基づいて表示をする動作モードをメモリモードもしくはデジタル動作モードと呼ぶ。

【0032】上述した構成を要約すれば、画素選択素子である画素選択TFT71及びアナログ映像信号を保持する補助容量85から成る回路（アナログ表示回路）と、画素選択素子であるTFT72、2値のデジタル映像信号を保持する保持回路110から成る回路（デジタル表示回路）とが1つの画素電極内に設けられ、更に、これら2つの回路を選択するための回路選択回路40、43が設けられている。

【0033】次に、液晶パネル100の周辺回路について説明する。液晶パネル100の絶縁性基板10とは別基板の外付け回路基板90には、パネル駆動用LSI91が設けられている。この外付け回路基板90のパネル駆動用LSI91から垂直スタート信号STVがゲートドライバ50に入力され、水平スタート信号STHがドレインドライバ60に入力される。また映像信号がデータ線62に入力される。

【0034】次に、上述した構成の表示装置の駆動方法について説明する。

（1）通常動作モード（アナログ動作モード）の場合
モード信号に応じて、アナログ表示モードが選択されると、LSI91はデータ信号線62にアナログ信号を供給する状態に設定されると共に、回路選択信号線88の電位が「L」となり、回路選択回路40、43の回路選択TFT41、43がオンし、回路選択TFT42、4

8

5がオフする。

【0035】また、水平スタート信号STHに基づくサンプリング信号に応じてサンプリングトランジスタSPが順次オンしデータ信号線62のアナログ映像信号がドレイン信号線61に供給される。

【0036】また、垂直スタート信号STVに基づいて、ゲート信号がゲート信号線51に供給される。ゲート信号に応じて、画素選択TFT71がオンすると、ドレイン信号線61からアナログ映像信号An. Sigが画素電極17に伝達されると共に、補助容量85に保持される。画素電極17に印加された映像信号電圧が液晶21に印加され、その電圧に応じて液晶21が配向することにより液晶表示を得ることができる。

【0037】このアナログ表示モードでは、随時入力されるアナログ信号に応じて随時液晶を駆動するので、フルカラーの動画像を表示するのに好適である。ただし、外付け回路基板90のLSI91、各ドライバ50、60にはそれらを駆動するために、絶えず電力が消費されている。

（2）メモリ動作モード（デジタル表示モード）の場合
モード信号に応じて、デジタル表示モードが選択されると、LSI91は映像信号をデジタル変換して上位1ビットを抽出したデジタルデータをデータ信号線62に出力する状態に設定されると共に、回路選択信号線88の電位が「H」となる。すると、回路選択回路40、43の回路選択TFT41、44がオフすると共に、回路選択TFT42、45がオンするので、保持回路110が有効な状態になる。

【0038】また、外付け回路基板90のパネル駆動用LSI91から、ゲートドライバ50及びドレインドライバ60にスタート信号STHが入力される。それに応じてサンプリング信号が順次発生し、それぞれのサンプリング信号に応じてサンプリングトランジスタSP1、SP2、…、SPnが順にオンしてデジタル映像信号D. Sigをサンプリングして各ドレイン信号線61に供給する。

【0039】ここで第1行、即ちゲート信号G1が印加されるゲート信号線51について説明する。まず、ゲート信号G1によってゲート信号線51に接続された各画素電極の各画素選択TFT72が1水平走査期間オンする。第1行第1列の画素電極に注目すると、サンプリング信号SP1によってサンプリングしたデジタル映像信号S11がドレイン信号線61に入力される。そして選択画素選択TFT72がゲート信号によってオン状態になるとそのデジタル信号D. Sigが保持回路110に入力され、2つのインバータによって保持される。

【0040】このインバータで保持された信号は、信号選択回路120に入力されて、この信号選択回路120で信号A又は信号Bを選択して、その選択した信号が画素電極17に印加され、その電圧が液晶21に印加され

9

る。

【0041】こうして1行目のゲート信号線から最終行のゲート信号線まで走査することにより、1画面分(1フィールド期間)のスキャン、即ち全ドットスキャンが終了し1画面が表示される。

【0042】ここで、1画面が表示されると、ゲートドライバ50並びにドレインドライバ60及び外付けのパネル駆動用LSI91への電圧供給を停止しそれらの駆動を止める。保持回路110には常に駆動電圧VDD、VSSを供給して駆動し、また対向電極電圧を対向電極32に、各信号A及びBを選択回路120に供給する。

【0043】即ち、保持回路110にこの保持回路を駆動するための駆動電圧VDD、VSSを供給し、対向電極には対向電極電圧VCOMを印加し、液晶表示パネル100がノーマリーホワイト(NW)の場合には、信号Aには対向電極電圧と同じ電位の交流駆動電圧を印加し、信号Bには液晶を駆動するための交流電圧(例えば60Hz)を印加するのみである。そうすることにより、1画面分を保持して静止画像として表示することができる。また他のゲートドライバ50、ドレインドライバ60及び外付けLSI91には電圧が印加されていない状態である。

【0044】このとき、ドレイン信号線61にデジタル映像信号で「H(ハイ)」が保持回路110に入力された場合には、信号選択回路120において第1のTFT121には「L」が入力されることになるので第1のTFT121はオフとなり、他方の第2のTFT122には「H」が入力されることになるので第2のTFT122はオンとなる。そうすると、信号Bが選択されて液晶には信号Bの電圧が印加される。即ち、信号Bの交流電圧が印加され、液晶が電界によって立ち上がるため、NWの表示パネルでは表示としては黒表示として観察できる。

【0045】ドレイン信号線61にデジタル映像信号で「L」が保持回路110に入力された場合には、信号選択回路120において第1のTFT121には「H」が入力されることになるので第1のTFT121はオンとなり、他方の第2のTFT122には「L」が入力されることになるので第2のTFT122はオフとなる。そうすると、信号Aが選択されて液晶には信号Aの電圧が印加される。即ち、対向電極32と同じ電圧が印加されるため、電界が発生せず液晶は立ち上がらないため、NWの表示パネルでは表示としては白表示として観察できる。

【0046】このように、1画面分を書き込みそれを保持することにより静止画像として表示できるが、その場合には、各ドライバ50、60及びLSI91の駆動を停止するので、その分低消費電力化することができる。

【0047】上記実施形態では、保持回路110は1ビットのみを保持するが、もちろん保持回路110を多ビ

(6)

10

ット化すれば、メモリ動作モードで階調表示を行うこともできるし、保持回路110をアナログ値を記憶するメモリとすれば、メモリ動作モードでのフルカラー表示もできる。

【0048】上述したように、本発明の実施形態によれば、1つの液晶表示パネル100でフルカラーの動画表示(アナログ表示モードの場合)と、低消費電力のデジタル階調表示(デジタル表示モードの場合)という2種類の表示に対応することができる。

【0049】次に、本実施形態のレイアウトについて、図2を用いて説明する。図2は本実施形態のレイアウトを示す概念図である。回路選択回路のPチャネル回路選択TFT41、画素選択回路のNチャネル画素選択TFT71、回路選択回路のPチャネルTFT44が直列に接続され、画素電極17にコンタクト16を介して接続されているとともに補助容量85に接続されている。また、Nチャネル回路選択TFT42、Nチャネル画素選択TFT72、保持回路110、回路選択回路のNチャネルTFT45がコンタクト16を介して画素電極17に接続されている。以上の構成はいずれも画素電極17に重畳して配置されている。

【0050】各画素に配置される回路構成は、各画素でほぼ同様であるが、列方向に隣接する画素同士の回路配置は、ほぼ互いの画素間を軸とした線対称になっている。即ち、図面1列目の画素では、画素上端にゲート信号線51が配置され、画素下半分に保持回路110が配置されている。そして、図面2列目の画素では、画素の下端にゲート信号線51が配置され、画素上半分に保持回路110が配置されている。同様に、図示しない3列目の画素では、ゲート信号線51を上端に、保持回路110を下半分に配置した1列目の画素と同様の配置となる。

【0051】保持回路110は、上述したようにSRAMである。そして保持回路110には、高低2種類の駆動電源線(LVDD、LVSS)、高低2種類の参照電源線(信号A、信号B)、合計4本の電源線が接続されている。これらの電源線は行方向に延びており、ゲート信号線51や、補助容量線87等と同様、その行の各画素で共用されている。以上は、各画素の回路配置で共通している点である。本実施形態においては、各画素の回路レイアウトが異なる。各画素の回路レイアウトは、列方向に隣接する画素同士で線対称にレイアウトされている。そして、列方向に隣接する画素の保持回路110同士がこの4本の電源線を挟んで互いに近接して配置され、4本の電源線は両方の保持回路110で共通となっている。即ち、それぞれの電源線は、2行の画素に1本の割合で配置され、2行の画素に対応する全ての保持回路に接続されている。従って、行方向に延びる電源線を各行毎に配置するのに比較して半分に削減することができる。保持回路110を有するアクティブマトリクス型表示装置

(7)

11

は、画素毎に設置される回路が多いため、回路の構成要素を削減することは、画素面積の縮小に直結する。従って、保持回路付きの表示装置を高精細化することができる。

【0052】例えば、ゲート信号線51は、各行で異なるタイミングでオンさせる必要があるため、異なる行に跨って共有することはできない。これに対し、本実施形態で共有される4本の電源線は、保持回路110の駆動電圧や、参照電圧を供給する線であり、その画素の選択、非選択やその画素の表示内容（白、黒）にかかわらず、全画素の保持回路110に共通して印加される電圧を供給し続ける。従って複数の行に跨って共用することができるのである。また、同様の理由から、アクティブマトリクス型表示装置がカラー表示を行うタイプであっても、電源線を隣接画素同士で共用することができる。即ち、本発明は、列方向に同一色が並ぶストライプ配列のみならず、RGBそれぞれが互い違いに配置されるデルタ配列でも全く同様に実施することができる。

【0053】次に、上記の4本の電源線と画素電極17のレイアウト上の関係について説明する。図3は、図2において列方向に隣接する画素GS1、GS2の境界部分を示すレイアウト概念図である。図に示すように、2つの画素GS1、GS2によって共有された電源線19（図中では保持回路110のSRAMに供給される電源線LVDD）は、一方の画素、例えば画素GS2に重畳して延在するとともに、その途中から画素GS1、GS2の方向へそれぞれ分岐して、コンタクト18、18を介してそれぞれのSRAMを構成する薄膜トランジスタ（TFT）のソース110S、110Sにコンタクトされる。

【0054】このようなレイアウトにおいては、画素GS2の画素電極17と電源線19の間には絶縁膜を介して寄生容量が形成される。その寄生容量が、画素GS1の画素電極17と電源線19の間に形成される寄生容量に比して非常に大きくなるため、寄生容量の画素電極17、17に対する影響がアンバランスとなる。このため、寄生容量の影響が一画素おきに発生し、画面上では横筋や縦筋として現れ、表示品位が低下してしまう。

【0055】そこで、電源線19が画素電極17と重ならない側の画素GS1において、分岐した電源線19が画素電極17上に拡張して成る重畳領域20を設けることにより、画素電極17と電源線19との間の寄生容量を増大させ、隣接する画素GS2の有する寄生容量とのバランスをとり、寄生容量の影響を無くしている。ここで、電源線19の拡張された重畳領域20を設けることにより、隣接する画素GS1、GS2に対して、画素電極17と電源線19との間に形成される寄生容量値を等しくすることが好ましい。

【0056】なお、電源線19は、保持回路110の高電圧側の駆動電源線（LVDD）に限られず、参照電源線

12

（信号A、信号B）、保持回路110の低電圧側の駆動電源線（LVSS）、信号Bを伝達する参照電源線のいずれでもよい。

【0057】また、上述したレイアウトでは、電源線19は画素電極17上に重畳されることにより直接的に容量結合しているが、必ずしも画素電極17上に重畳されていることは必要ではない。例えば、TFTのソースと画素電極17との間を中間電極層を介して接続している場合のように、電源線19は中間電極層を介在して間接的に画素電極17と容量結合していてもよい。したがって、上述した電源線19が画素電極17上に拡張して成る重畳領域20についても、必ずしも画素電極17上に重畳していることは必要ではなく、上記のような中間電極層上に重畳していれば同様の効果を奏するものである。

【0058】ところで、本実施形態のLCDは反射型LCDである。本実施形態の反射型LCDの図2A-A'線断面図を図4に示す。一方の絶縁性基板10上に、多結晶シリコンから成り島化された半導体層11が配置され、その上をゲート絶縁膜12が覆って配置されている。半導体層11の上方であってゲート絶縁膜12上にはゲート電極13が配置され、このゲート電極13の両側に位置する下層の半導体層11には、ソース及びドレインが形成されている。ゲート電極13及びゲート絶縁膜12上にはこれらを覆って層間絶縁膜14が形成されている。そしてそのドレイン及びソースに対応した位置にはコンタクトが形成されており、そのコンタクトを介してドレインは画素選択TFT71に、ソースはコンタクト16を介して画素電極17に、それぞれ接続されている。平坦化絶縁膜15上に形成された各画素電極17はアルミニウム（Al）等の反射材料から成っている。各画素電極17及び平坦化絶縁膜15上には液晶21を配向するポリイミド等から成る配向膜20が形成されている。

【0059】他方の絶縁性基板30上には、赤（R）、緑（G）、青（B）の各色を呈するカラーフィルタ31、ITO（Indium Tin Oxide）等の透明導電性膜から成る対向電極32、及び液晶21を配向する配向膜33が順に形成されている。もちろんカラー表示としない場合には、カラーフィルタ31は不要である。

【0060】こうして形成された一対の絶縁性基板10、30の周辺を接着性シール材によって接着し、それによって形成された空隙に液晶21が充填されている。

【0061】反射型LCDでは、図中点線矢印で示すように、絶縁性基板30側から入射した外光が画素電極17によって反射されて、観察者1側に出射し、表示を観察することができる。

【0062】反射型LCDは画素電極17を光が透過しないので画素電極17の下にどのような素子が配置されていても開口率に影響を及ぼさない。そして、大きい面

50

(8)

13

積を必要とする保持回路110を画素電極17の下に配置することによって、画素の間隔を通常のLCDと同等にすることもできる。また、本実施形態のように全ての構成を画素電極の下に配置する必要はなく、一部の構成を画素電極間に配置してもよい。

【0063】次に本発明の第2の実施形態について図面を参照しながら説明する。図5は、本実施形態の平面レイアウトを示す概念図である。本実施形態はRGB各色の画素が整列して配置されたストライプ配列であって、それぞれの画素電極17にはRGBのいずれかのカラーフィルタが対応して配置されており、それを17R、17G、17Bとして示す。RGBそれぞれの画素は、図2と同様の回路を有し、それぞれの画素でその画素のデータを保持回路110に保持することができるようになっている。

【0064】本実施形態で特徴的な点は、画素電極17のレイアウトと、保持回路や選択回路、補助容量などの回路レイアウトが一致していない点である。この点について、以下により詳細に述べる。まず画素電極17Rに着目する。画素電極17Rは図面左端に配置され、上下方向に長い矩形状である。画素電極17Rとその回路とを接続するコンタクトは16Rで示されている。そして、回路選択TFT41R、44R、画素選択TFT71Rが直列に接続され、その一部は隣接画素である画素電極17Gにまで延在している。同様に補助容量85R、保持回路110Rも画素電極17Gに延在している。そして、画素電極17Gは、コンタクト16Gを介して対応する回路に接続されており、回路選択TFT41G、画素選択TFT71G、補助容量85G、保持回路110Gは、隣接画素である画素電極17Rに重畳して配置されている。

【0065】そして、画素電極17R、17Gに対応する回路はゲート信号線51を共有し、ゲート信号線上の一点を中心として互いに点対称に配置されている。以下、同様に、画素電極17Bに対応する回路は、更にその隣の図示しない画素電極に延在する。この画素を画素電極17R' とすると、画素電極17R' に対応する回路は、逆に画素電極17Bに重畳する。

【0066】このように配置することのメリットについて以下に説明する。例えばRGB3色を一つの絵素として、この絵素をほぼ正方形に使用すると、RGB個々の画素は3:1で縦長の長方形となる。一般的にストライプ配列のRGB個々の画素は一方向に長い矩形となる。そのような細長い矩形の画素電極17の下に、レイアウトをあわせて保持回路110等を配置しようとする、回路の設計が困難になる。それに対して本発明であれば、画素電極17のレイアウトと回路のレイアウトが異なるので、よけいな配線の迂回などが不要となってスペース効率が上がり、保持回路が必要とする面積をより小さくすることができる。保持回路付きLCDの場合、

14

1画素の最小面積は、主に保持回路の占める面積が支配的であるので、保持回路を縮小することは、LCDの高精細化に直結すると言える。

【0067】次に、回路をゲート信号線を挟んで対称に配置することのメリットについて以下に説明する。隣接画素同士で領域をシェアしあう場合、画素毎に回路内のレイアウトを調整する必要が生じるが、隣接画素同士で点対称に配置すれば、一つの画素の回路を設計し、その回路をミラーリングして設計することができ、回路設計の効率がよい。ただし、図中で画素上下端に示した4本の電源線への結線は調整する必要がある。また、回路レイアウトを点対称にせず、平行に移動したとすると、隣接画素同士のゲート信号線は、互いに離れて配置する必要が生じ、ゲート信号線を各行2本配置する必要が生じる。これに対し、本実施形態では、回路を対称に配置しているので、ゲート信号線は各行1本でよく、増やす必要がない。

【0068】そして、本実施形態においても第1の実施形態と同様、保持回路110は画素の上端及び下端に配置され、列方向に隣接する画素同士の保持回路110は電源線(VDD、VSS、信号A、信号B)を挟んで近接配置され、それら4本の電源線を共有している。従って、第1の実施形態と同様、各行毎に電源線を配置するのに比較して電源線を半数に削減することができる。

【0069】上記第1、第2の実施形態では、4本の電源線を隣接画素で共有したが、全ての電源線を必ず共有させる必要はない。4本の電源線をすぐ近くに隣接して配置すると、保持回路110に接続するために各電源線から列方向に分岐させた配線は、全て他の3本の電源線と交差することになるため、寄生容量が生じる。また、電源線の1本を例えば本実施形態のレイアウトの保持回路110と補助容量85の間等に配置した方が、総合的にレイアウトの効率がよい場合も想定される。そのような場合は、4本の電源線のうち、任意の電源線を共有すればよい。

【0070】上記第1、第2の実施形態において、電源線を共有した結果、回路配置は、完全な線対称、点対称ではなくなっているため、各電源線と、画素電極17とで形成する寄生容量が画素同士で異なる場合がある。そうすると、画素同士で信号遅延が異なり、表示品質が低下する恐れがある。そこで、この寄生容量を揃えるために、共有する電源線が2n本(nは自然数)であれば、それぞれの画素にn本ずつ重ねて配置し、共有する電源線が2n+1本であれば、それぞれの画素にn本ずつ重ねて配置し、1本の電源線を画素間に配置すればよい。

【0071】上記第1、第2の実施形態において、4本の電源線(VDD、VSS、信号A、信号B)は行方向に延び、列方向に隣接する画素同士で共用するように説明したが、図1の回路図で示したように、列方向に伸ばして配置してもよい。この場合は、各画素の回路配置を列間

(9)

15

を軸とした線対称として、電源線を共有し、第1、第2の実施形態と同様の効果を奏することができる。しかし、特に第2の実施形態のようにストライプ配列であった場合、列方向に配線を伸ばすレイアウト的な余裕が少ない。従って、電源線は行方向に伸びるようにレイアウトした方がよい。

【0072】上記実施形態では、反射型LCDを用いて説明したが、もちろん透過型LCDに適用し、透明な画素電極と保持回路とを重畳して配置することも可能である。しかし透過型LCDでは、金属配線が配置されているところは遮光されるので、開口率の低下が避けられない。また、透過型LCDで画素電極の下に保持回路を配置すると、透過する光によって保持回路や選択回路のトランジスタが誤動作する恐れがあるため、全てのトランジスタのゲート上に遮光膜を儲ける必要がある。従って、透過型LCDでは開口率を高くすることが困難である。

【0073】これに対し、反射型LCDは、画素電極下にどのような回路が配置されても開口率に影響を与えることはない。更に、透過型の液晶表示装置のように、観察者側と反対側にいわゆるバックライトを用いる必要が無い場合、バックライトを点灯させるための電力を必要としない。保持回路付きLCDのそもそもの目的が消費電力の削減であるから、本発明の表示装置としては、バックライト不要で低消費電力化に適した反射型LCDであることが好ましい。

【0074】また、上記実施形態は、液晶表示装置を用いて説明したが、本発明はこれにとらわれるものではなく、有機EL表示装置や、LED表示装置など、様々な表示装置に適用することができる。

【0075】

【発明の効果】以上に説明したように、本発明のアクティブマトリクス型表示装置は、画素電極に対応した保持回路を有するアクティブマトリクス型表示装置において、保持回路に接続される電源線は、例えば行方向に延在し、行方向に並ぶ画素電極に対応する保持回路で共用

16

されるとともに、列方向に隣接する画素電極に対応する保持回路で共用されているので、各行毎に電源線を配置するのに比較して電源線の本数を半数に削減でき、画素サイズを縮小することができるので、より高精細な保持回路付きのアクティブマトリクス表示装置とすることができる。

【0076】特に、共有される電源線は全ての保持回路に対して同じ電圧を供給するので、行方向及び列方向にわたって共有することができる。

10 【0077】特に、共有される電源線は、行列他方向に隣接する画素の間付近に配置され、行列他方向に隣接する画素における保持回路の配置は、行列他方向に隣接する画素の間を軸もしくは中心にして共有される電源線を挟んで対称に配置されるので、共有された電源線から保持回路に接続する配線を短くできるなど、レイアウトの効率を向上できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す回路図である。

20 【図2】本発明の第1の実施形態の平面レイアウトを示す概念図である。

【図3】本発明の第1の実施形態の平面レイアウトを示す概念図である。

【図4】本発明の実施形態の断面図である。

【図5】本発明の第2の実施形態の平面レイアウトを示す概念図である。

【図6】液晶表示装置の1画素を示す回路図である。

【図7】従来の保持回路付き表示装置を示す回路図である。

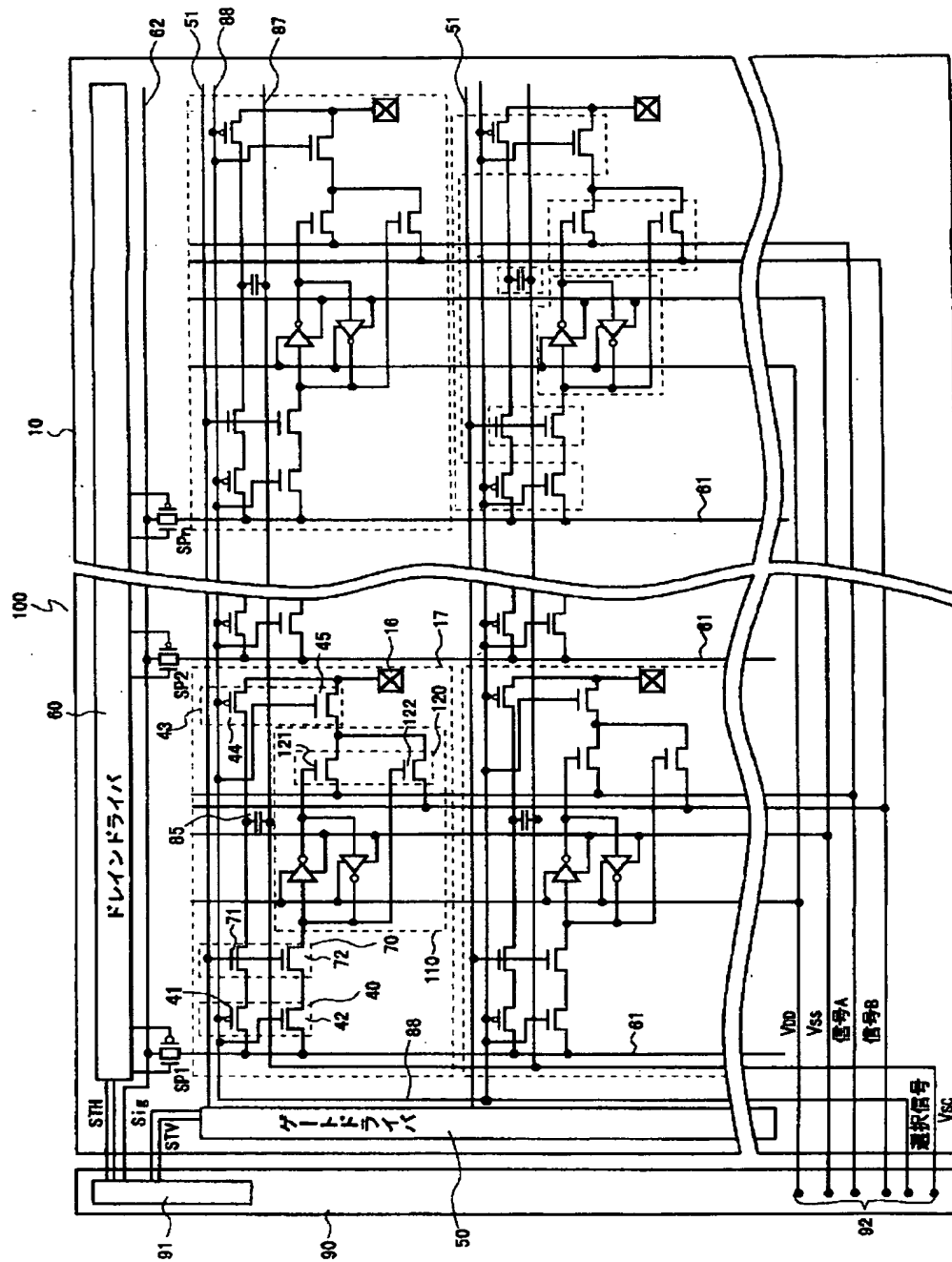
30 【図8】従来の保持回路付き液晶表示装置の1画素を示す回路図である。

【符号の説明】

17	画素電極
40、43	回路選択回路
70	画素選択回路
85	補助容量
110	保持回路

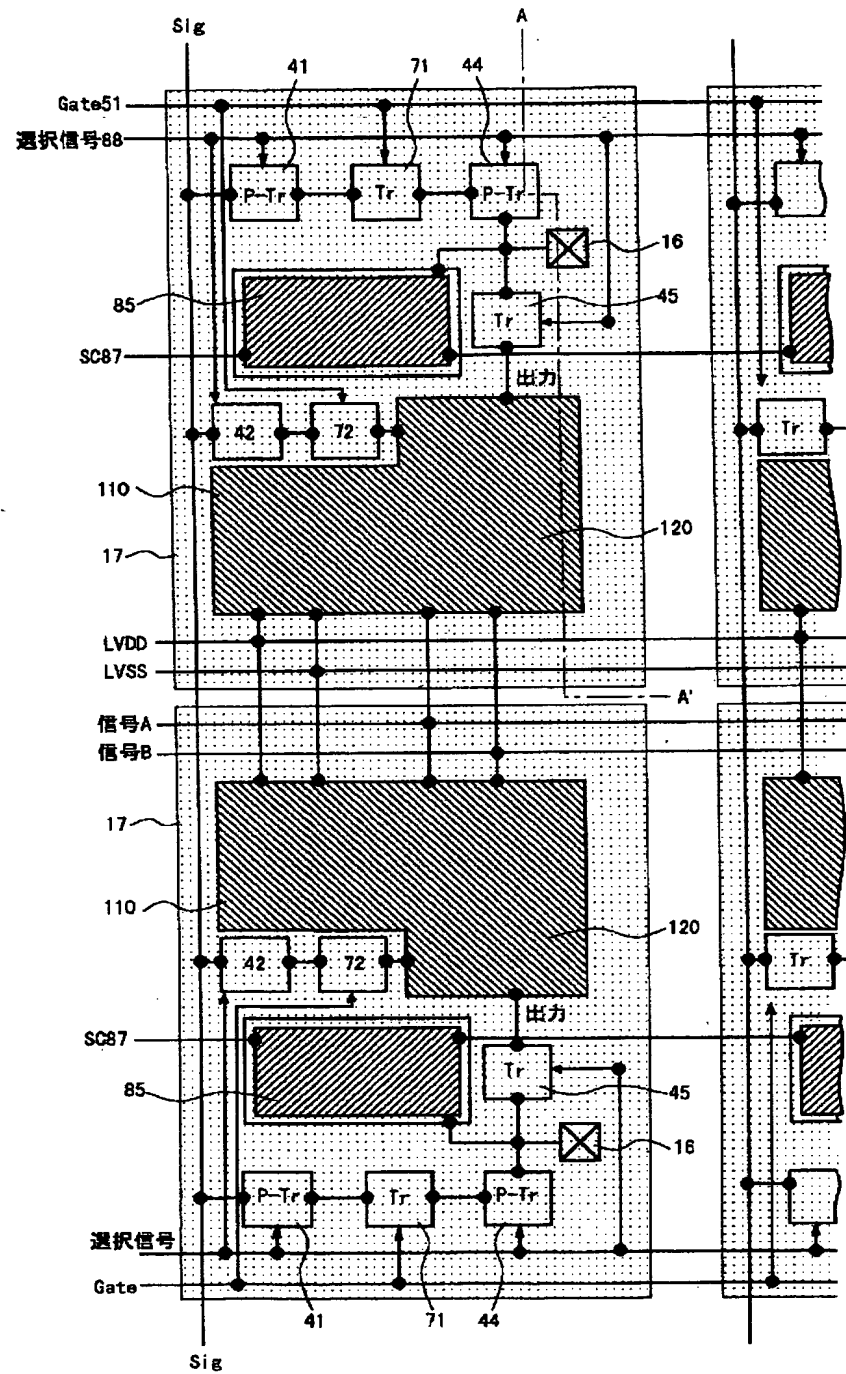
(10)

【図1】



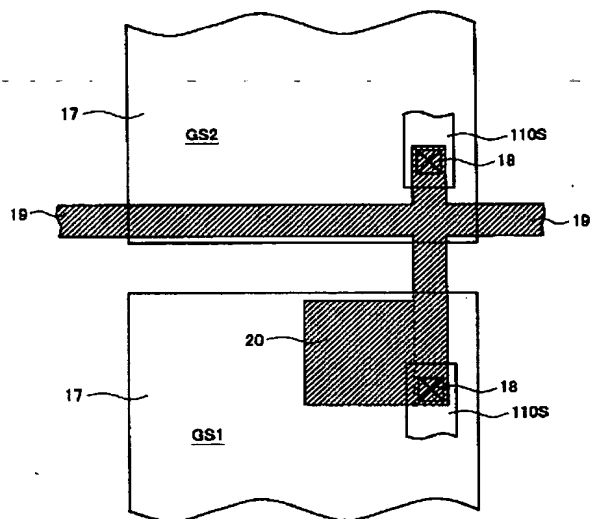
(11)

【図2】

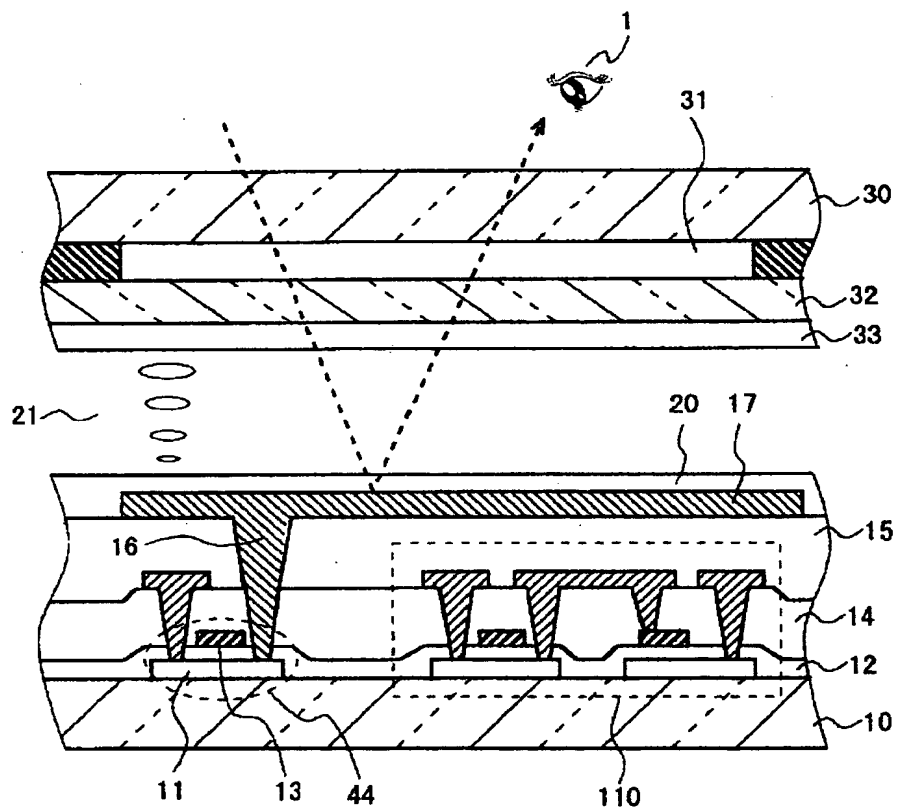


(12)

【図3】

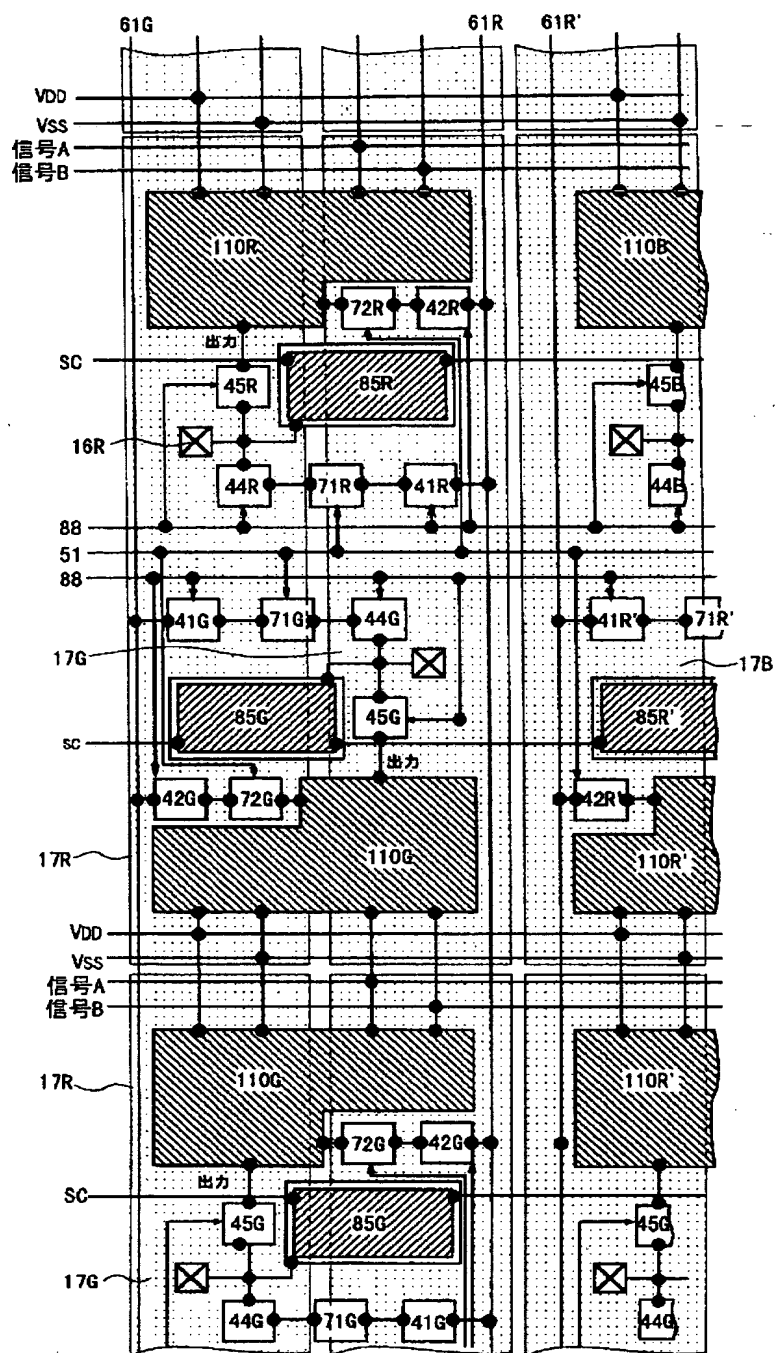


【図4】



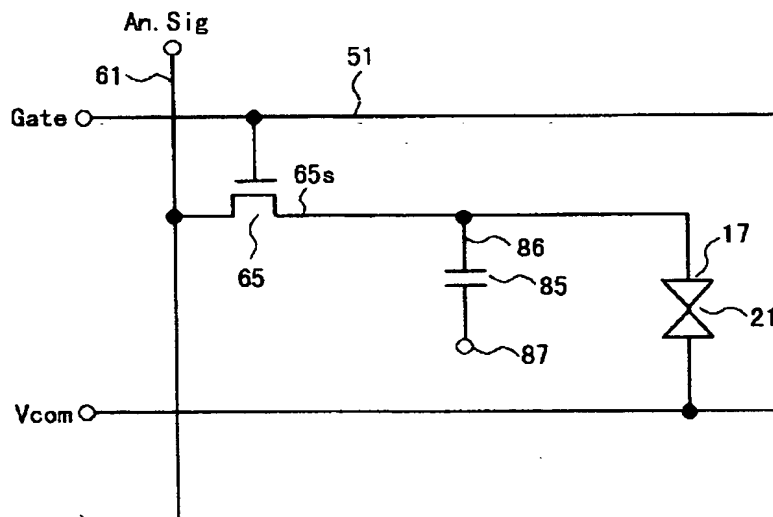
(13)

【図 5】

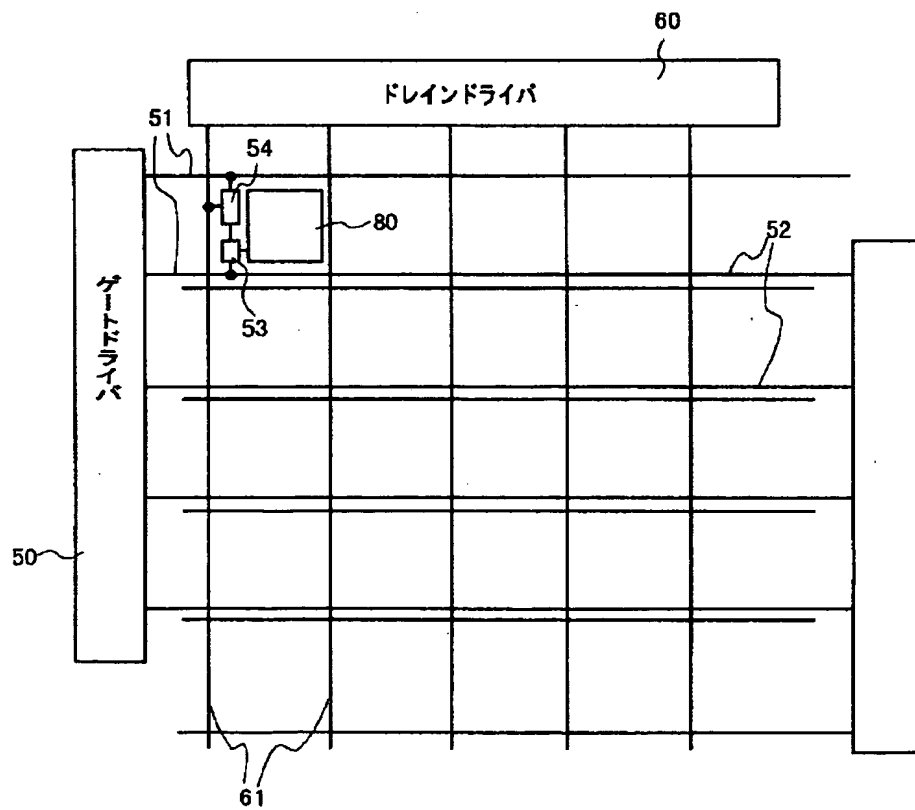


(14)

【図6】

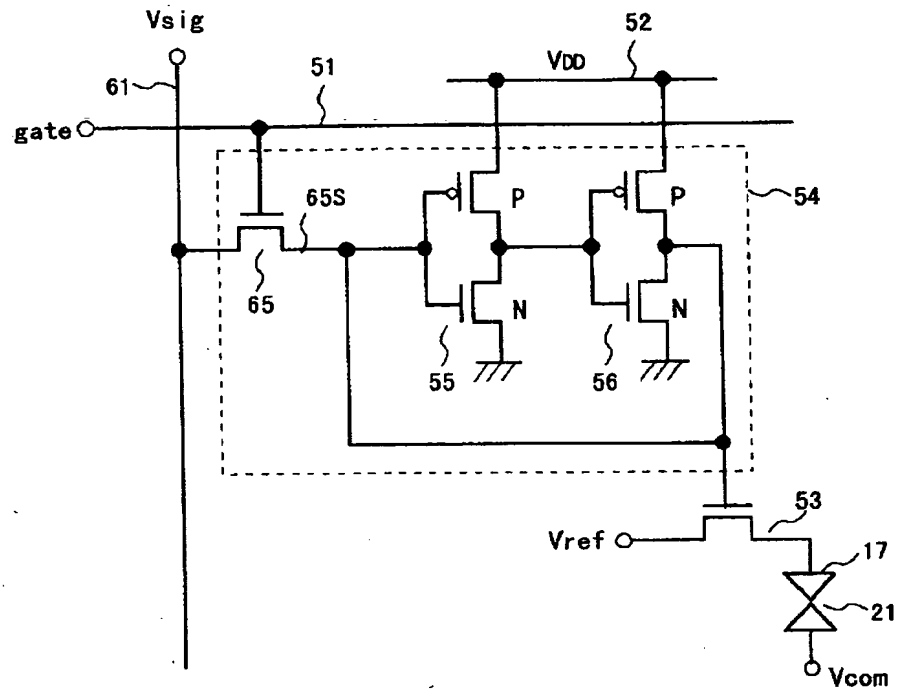


【図7】



(15)

【图8】



フロントページの続き

(51) Int. Cl. ⁷

H O 1 L 29/786

識別記号

FI

H O 1 L 29/78

テーマコード* (参考)

6 1 4

Fターム(参考) 2H092 JA24 JA34 JA37 JA41 JB22

JB31 NA07 PA06

2H093 NA51 NC01 NC09 NC11 NC16

NC22 NC28 ND01 ND06 ND42.

ND54

5C094 AA05 AA45 BA03 CA19 DA14

DB03 DB04 EA04 EA07

5F110 AA04 AA09 AA30 BB02 BB04

BB05 BB07 CC02 DD02 GG02

GG13 HL03 HM19 NN73